



Pamięci Półprzewodnikowe na podstawie:

Digital Integrated Circuits

Jan M. Rabaey

Anantha Chandrakasan

Borivoje Nikolic

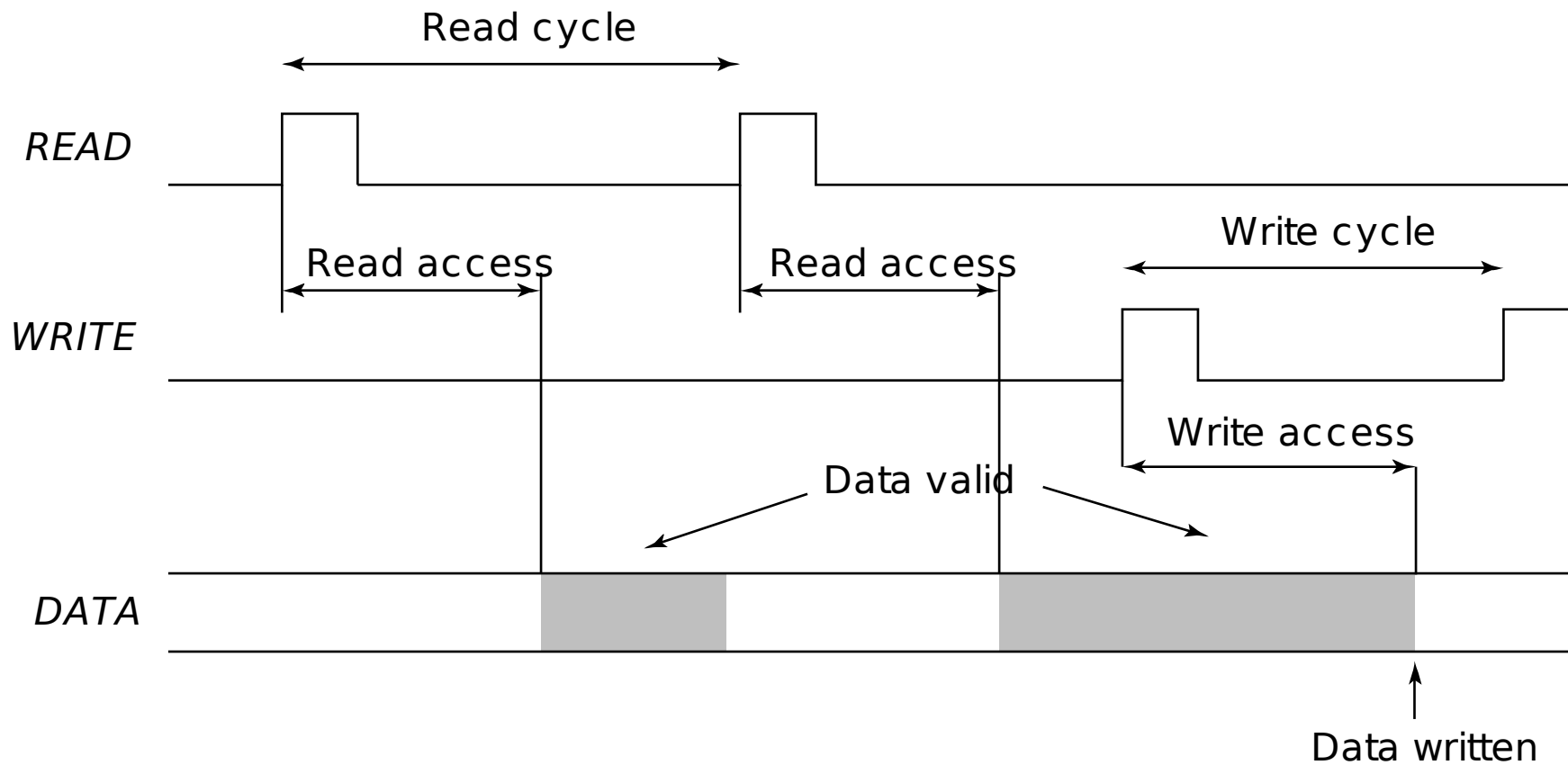
Plan

- ❑ Klasyfikacja pamięci
- ❑ Architektura pamięci
- ❑ Komórki elementarne
- ❑ Układy peryferyjne

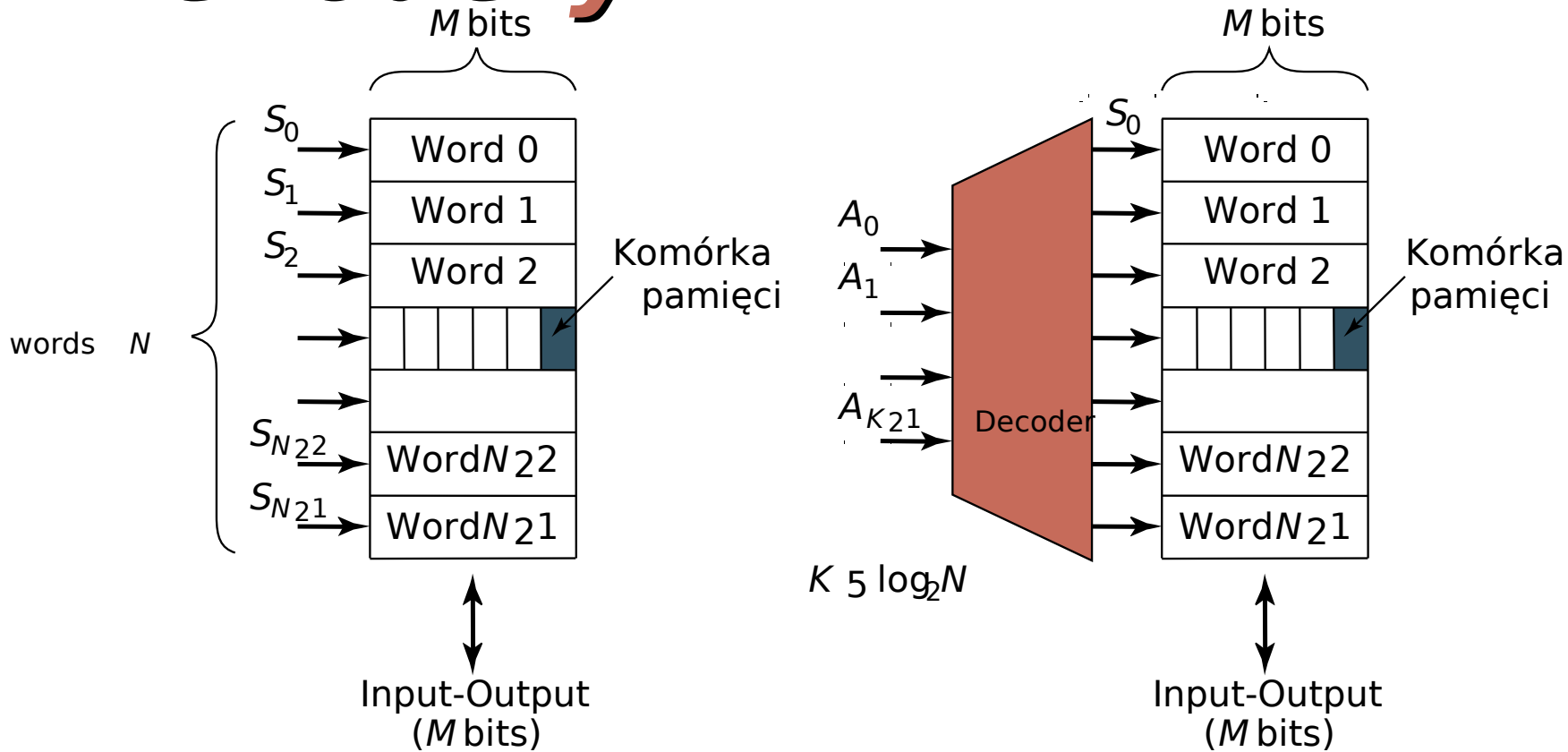
Klasyfikacja pamięci półprzewodnikowych

Pamięć Read-Write		Nie-ulotna pamięć Read-Write	Pamięć Read-Only
Random Access	Non-Random Access	EPROM E ² PROM FLASH	Nieprogramowalne (ROM) Programowalne (PROM)
SRAM DRAM	FIFO LIFO Shift Register CAM		

Definicje czasów



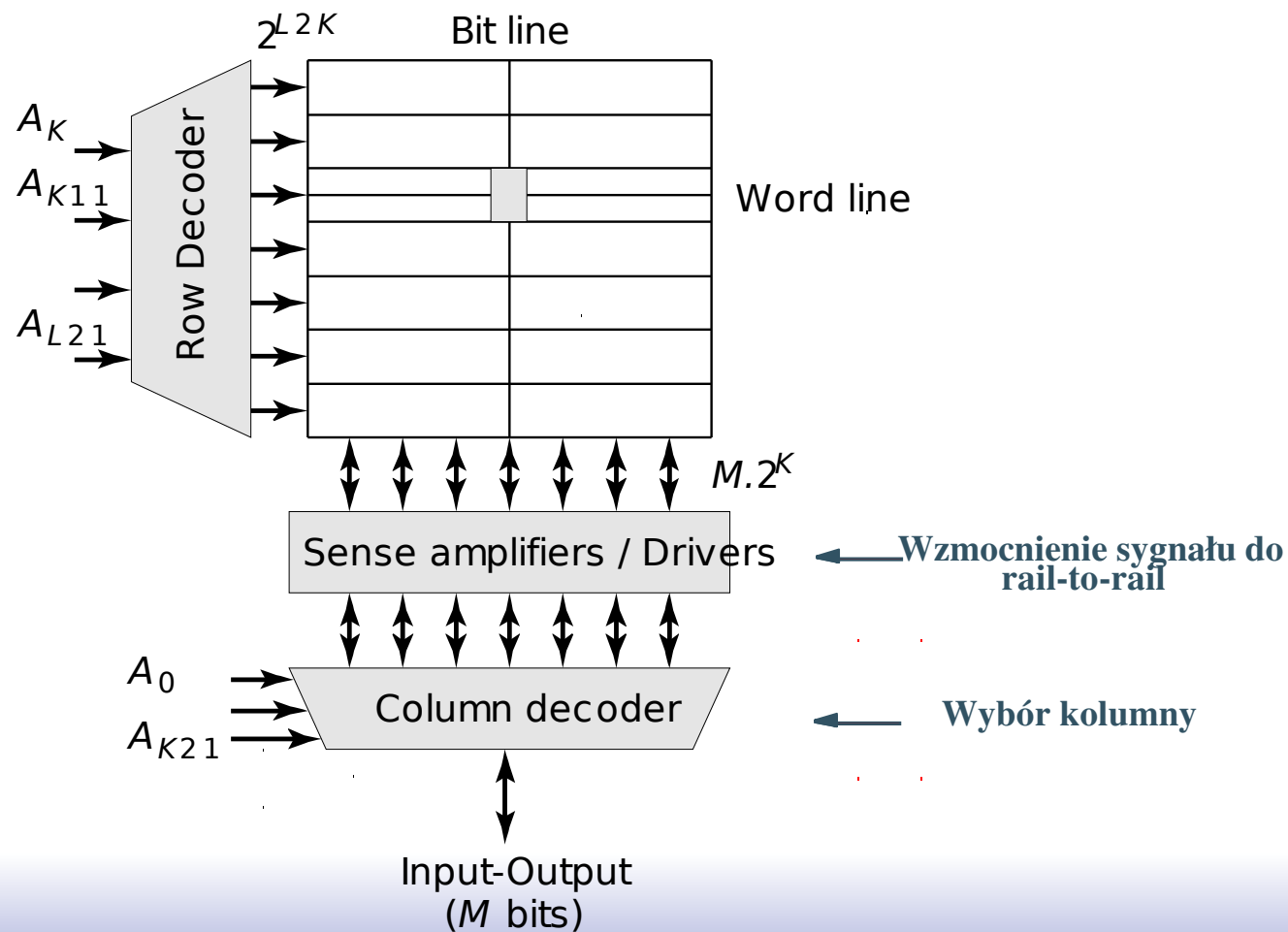
Architektura pamięci: Dekodery



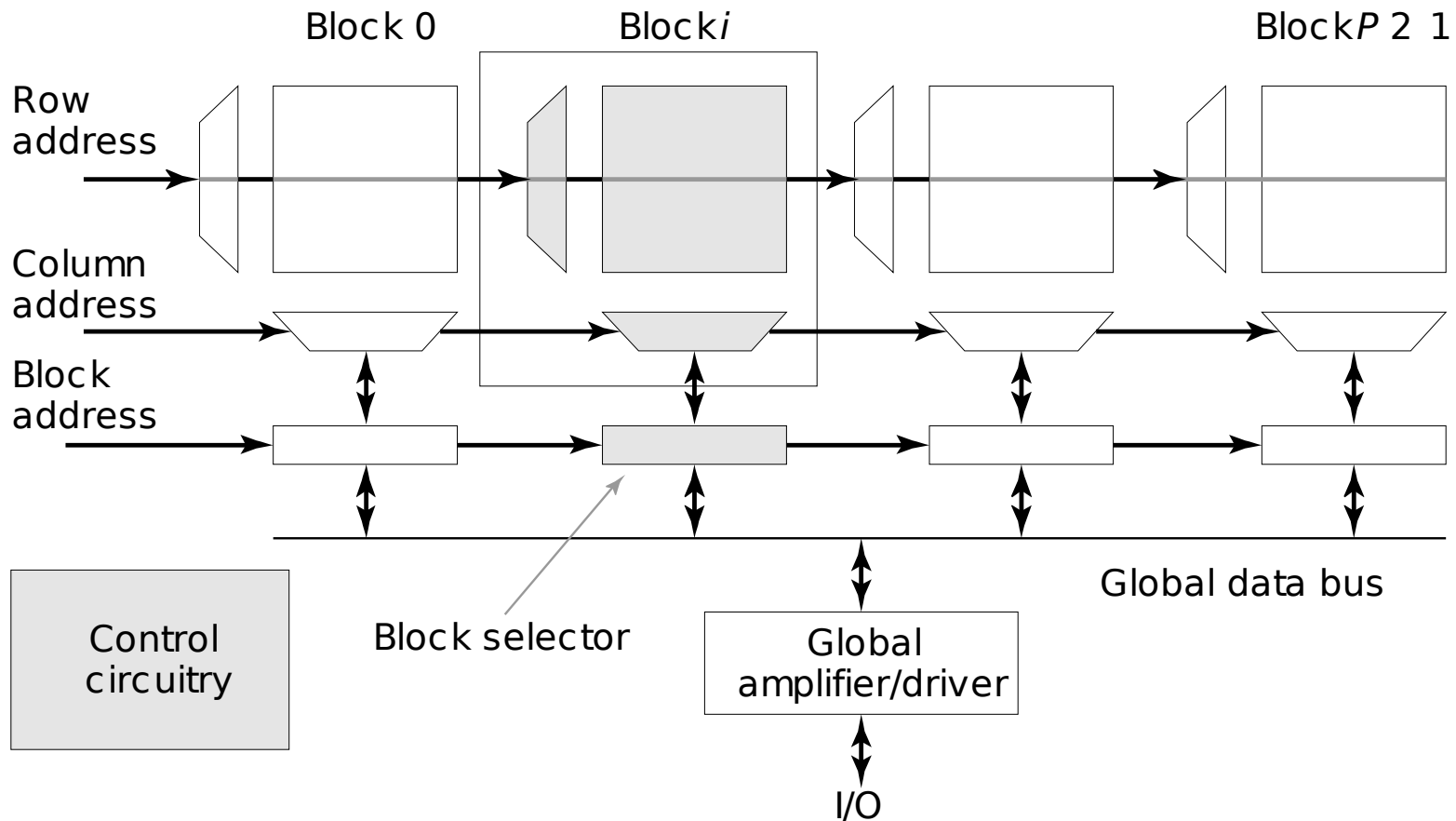
Intuicyjna architektura dla pamięci $N \times M$
 Za dużo sygnałów sterujących:
 N words == N sygnałów sterujących

Dekoder redukuje ilość sygnałów sterujących
 $K = \log_2 N$

Macierzowa architektura pamięci



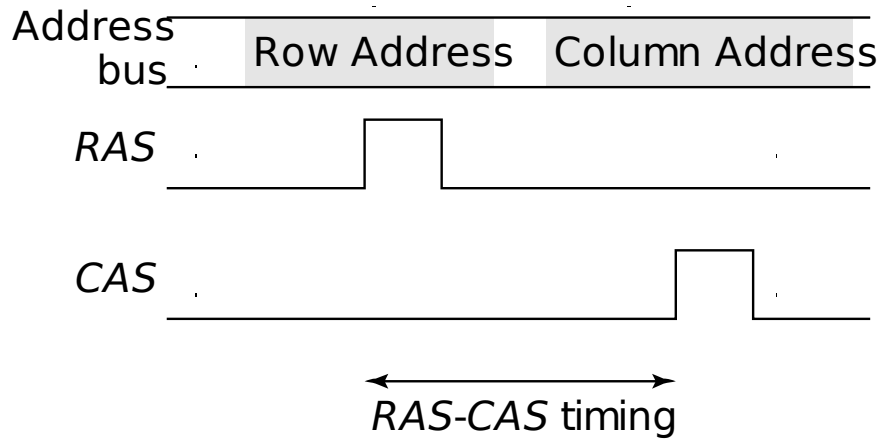
Hierarchiczna architektura pamięci



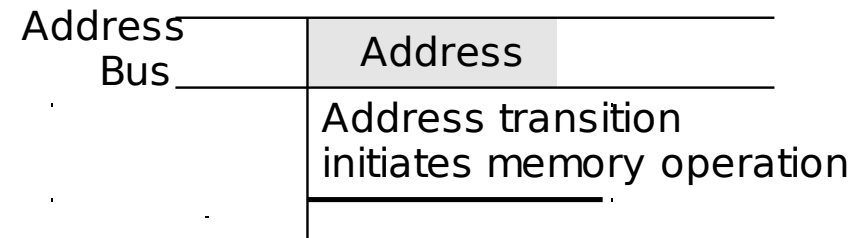
Zalety:

1. Krótsze ścieżki w blokach
2. Adres bloku aktywuje tylko 1 blok => oszczędność mocy

Kontrola czasowa pamięci: podejścia

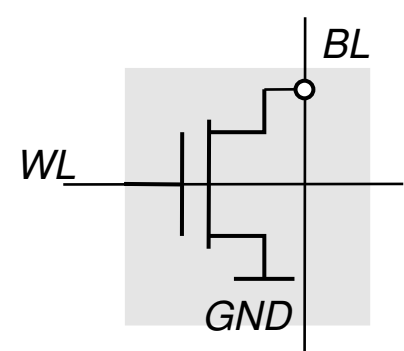
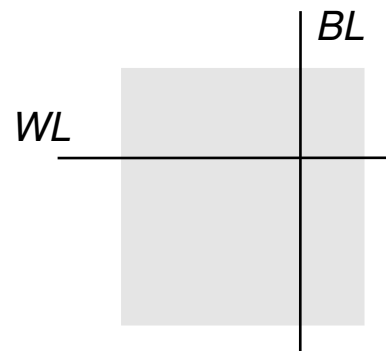
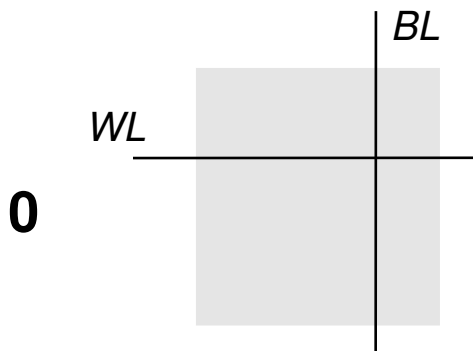
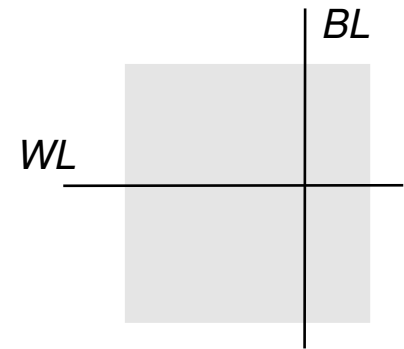
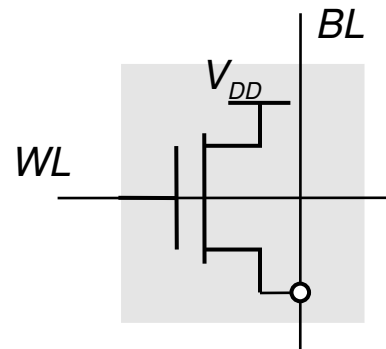
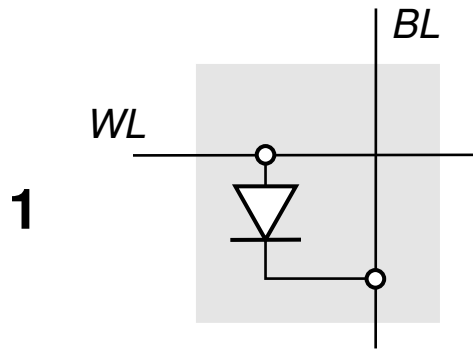


Kontrola czasowa DRAM
Multiplexowane adresowanie



Kontrola czasowa SRAM
Pełny adres

Realizacja komórki pamięci Read-Only

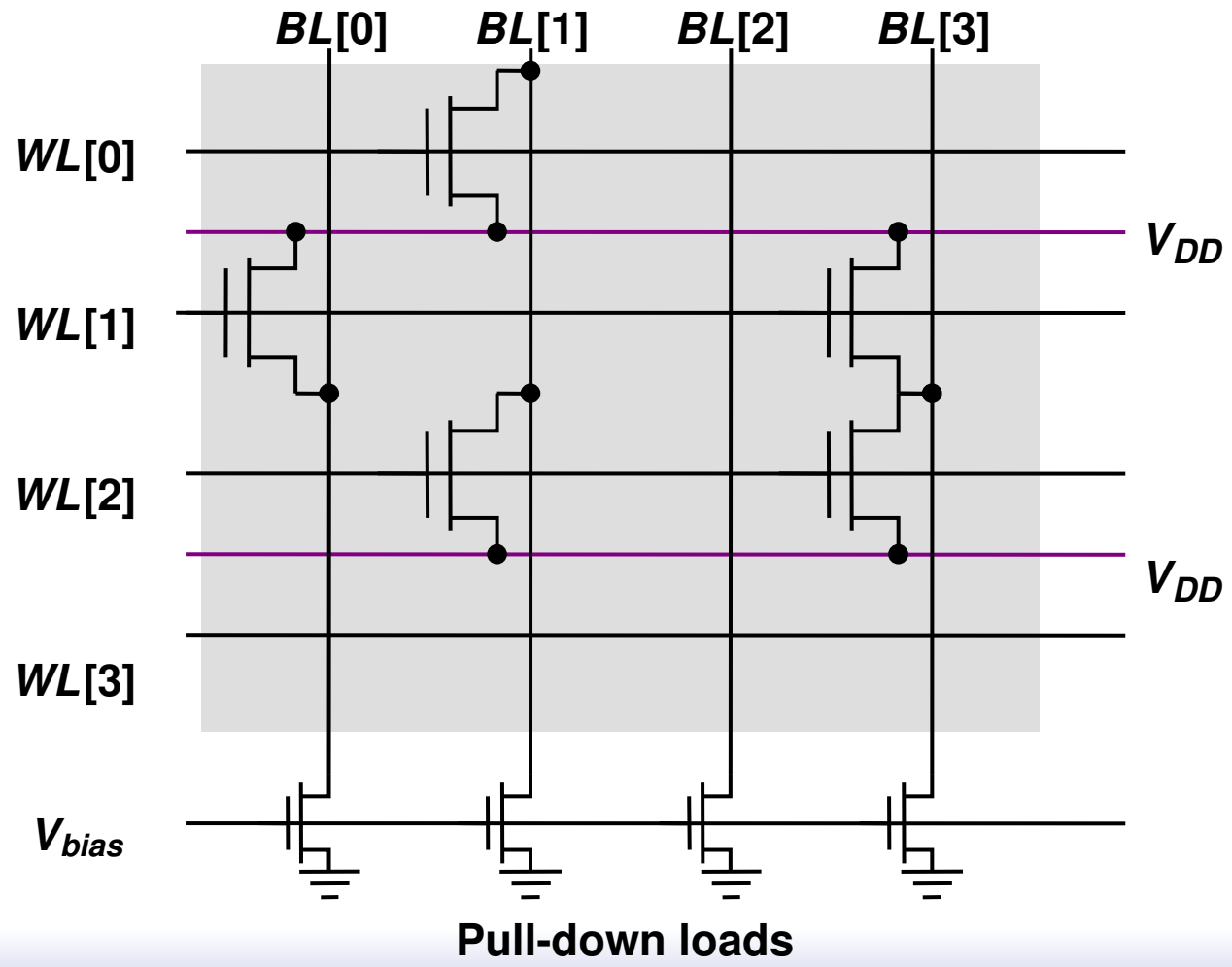


Diode ROM

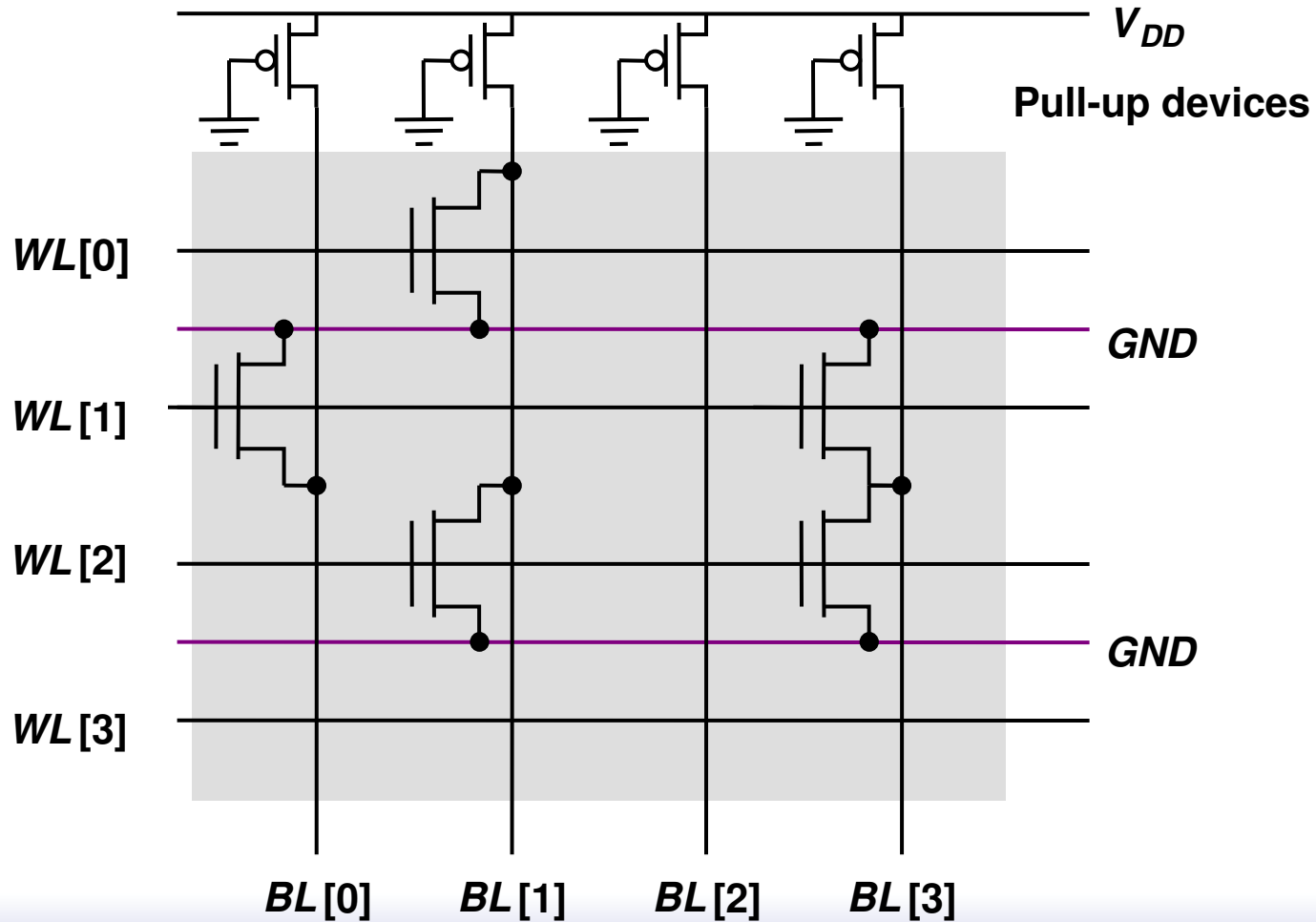
MOS ROM 1

MOS ROM 2

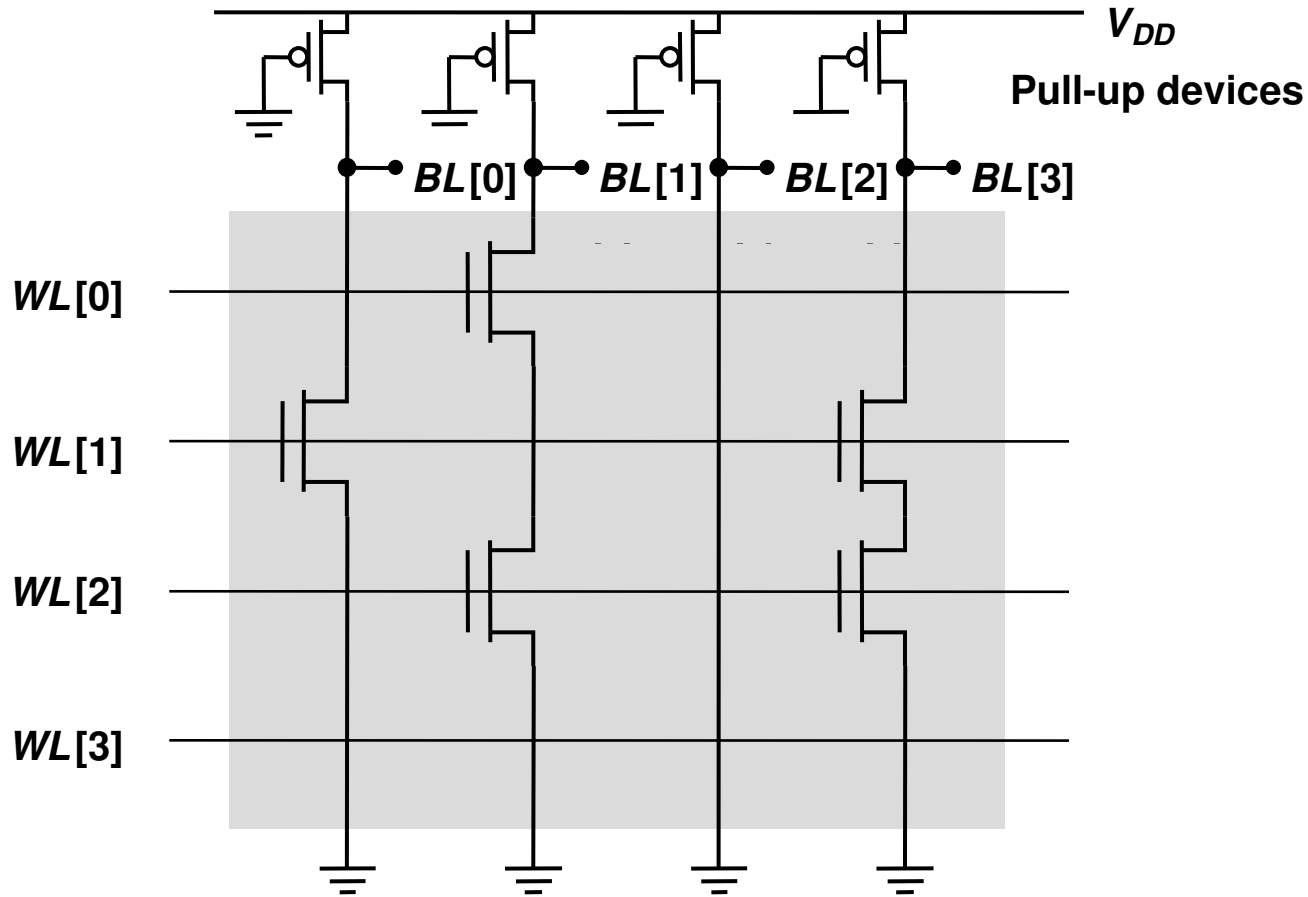
MOS ROM typu OR



MOS ROM typu NOR

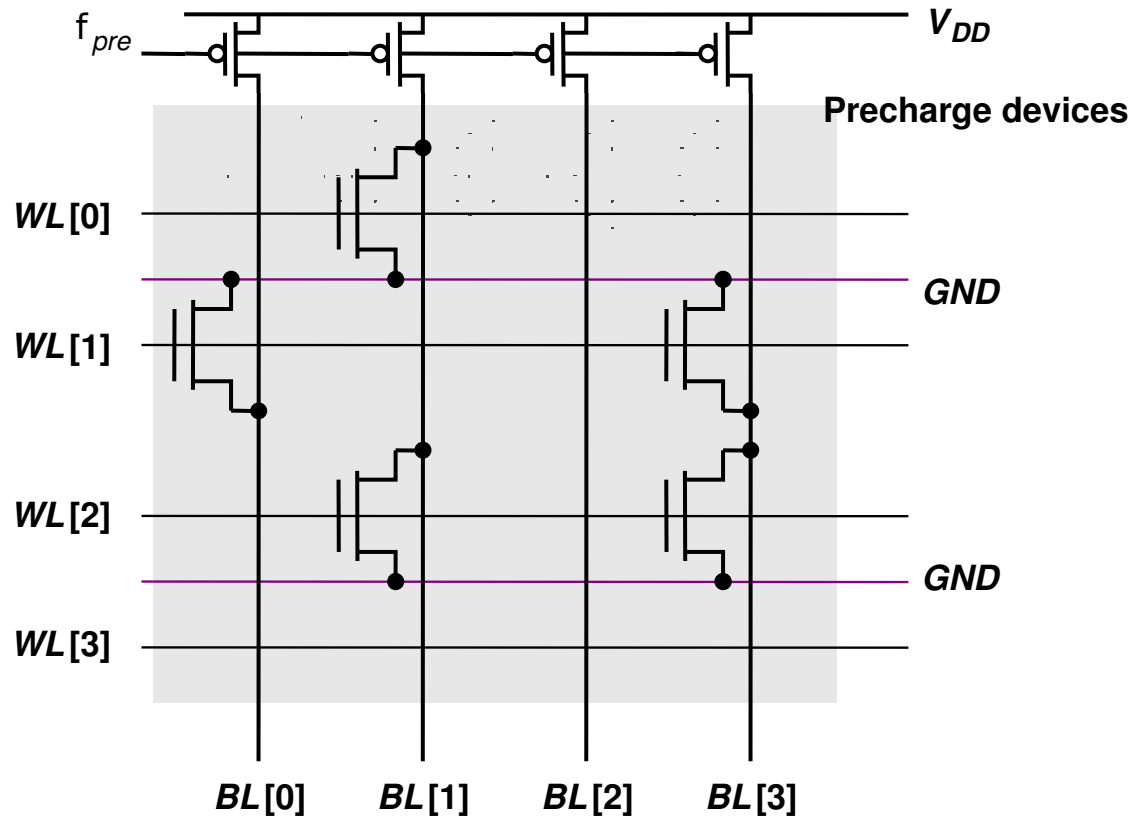


MOS NAND ROM



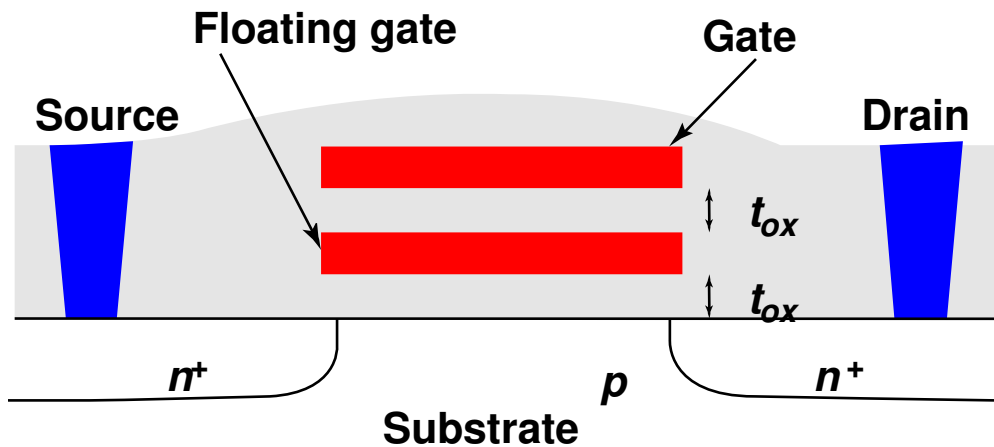
Domyślnie wszystkie linie oprócz wybranej , w stanie wysokim

Pamięć dynamiczna MOS ROM typu NOR

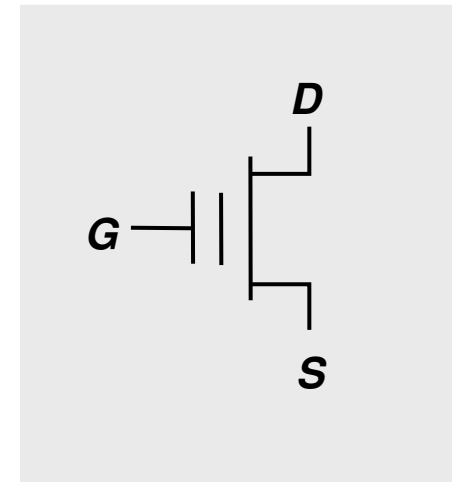


Pamięć dynamiczna nie pobiera mocy statycznej i może być mniejsza

Pamięci nie-ulotne (Non-Volatile) EPROM. Tranzystor z izolowaną bramką (Floating-gate) – FAMOS

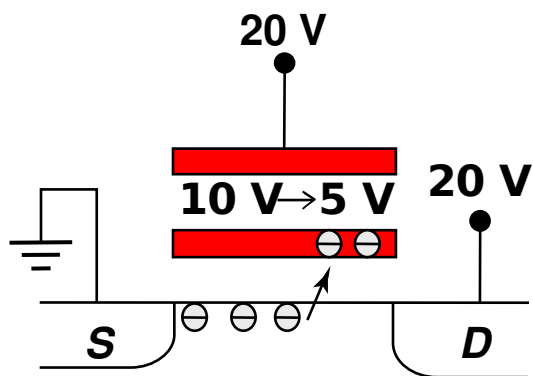


Przekrój tranzystora

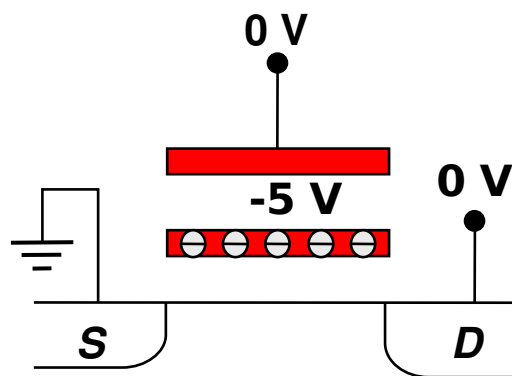


Symbol

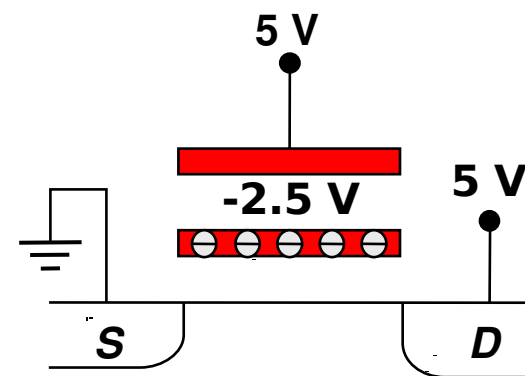
Programowanie tranzystora typu Floating-Gate



Powielanie lawinowe

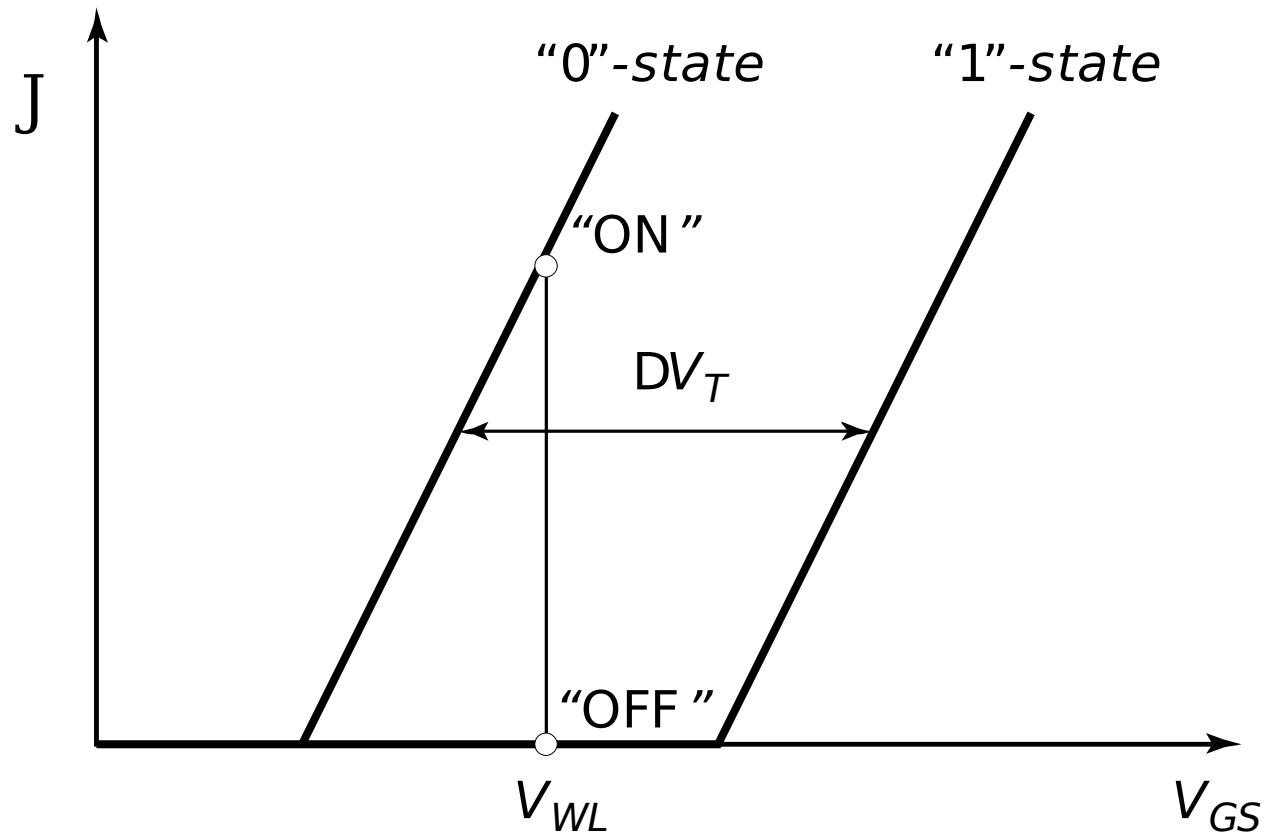


Po zaprogramowaniu
zostaje uwięziony ładunek



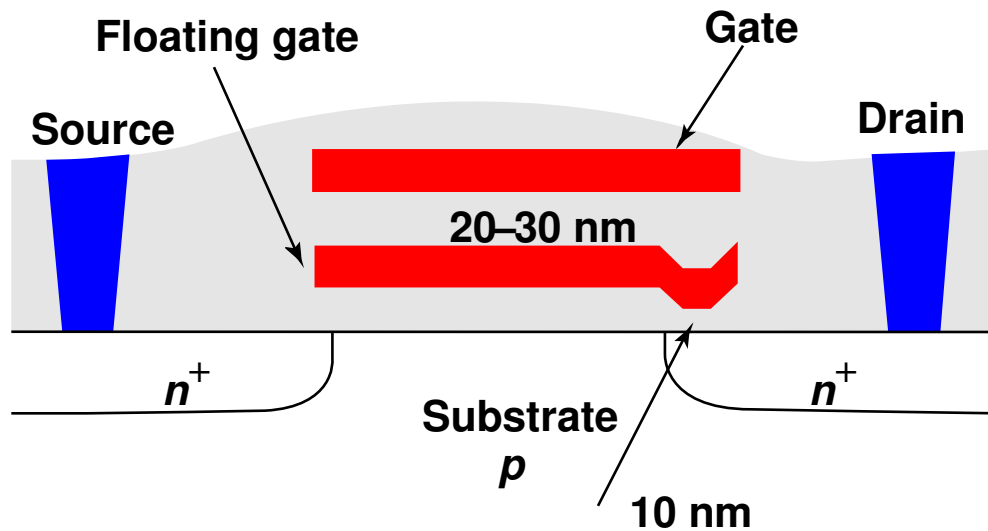
Zatem tranzystor ma
wyższe V_T .

Tranzystor z “programowanym-progiem”

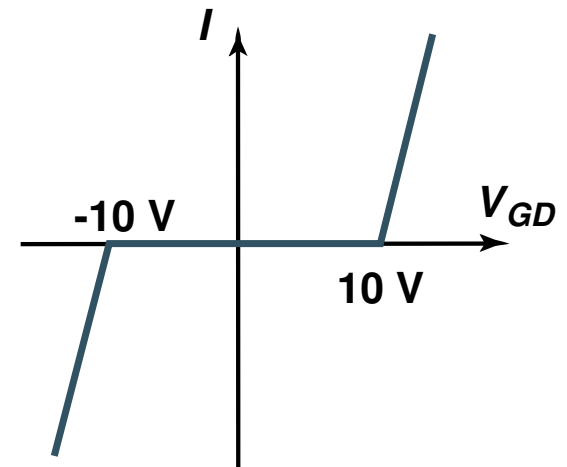


Problemem jest kasowanie ultrafioletem

FLOTOX EEPROM (E²PROM)

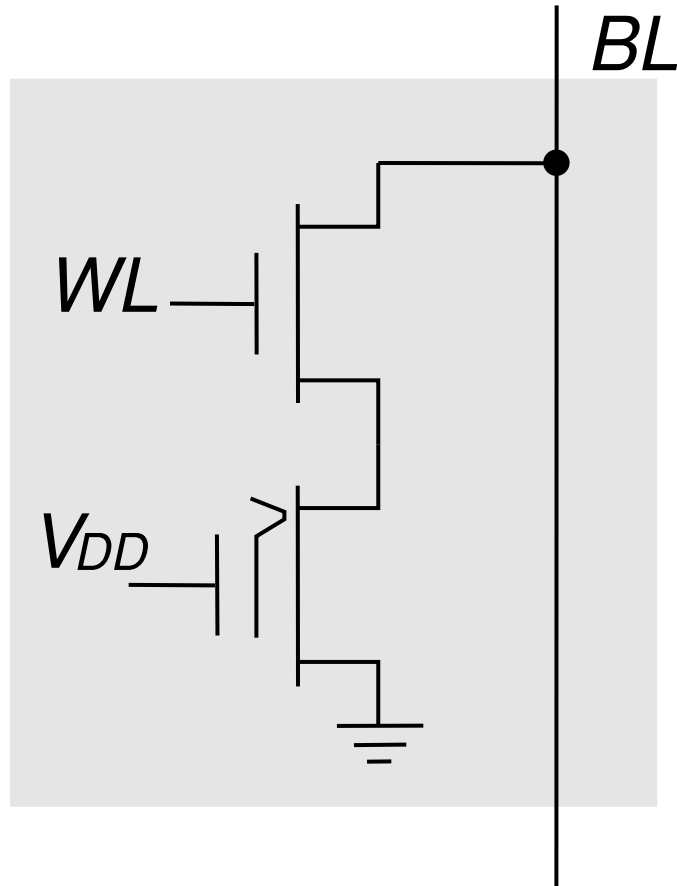


Tranzystor FLOTOX



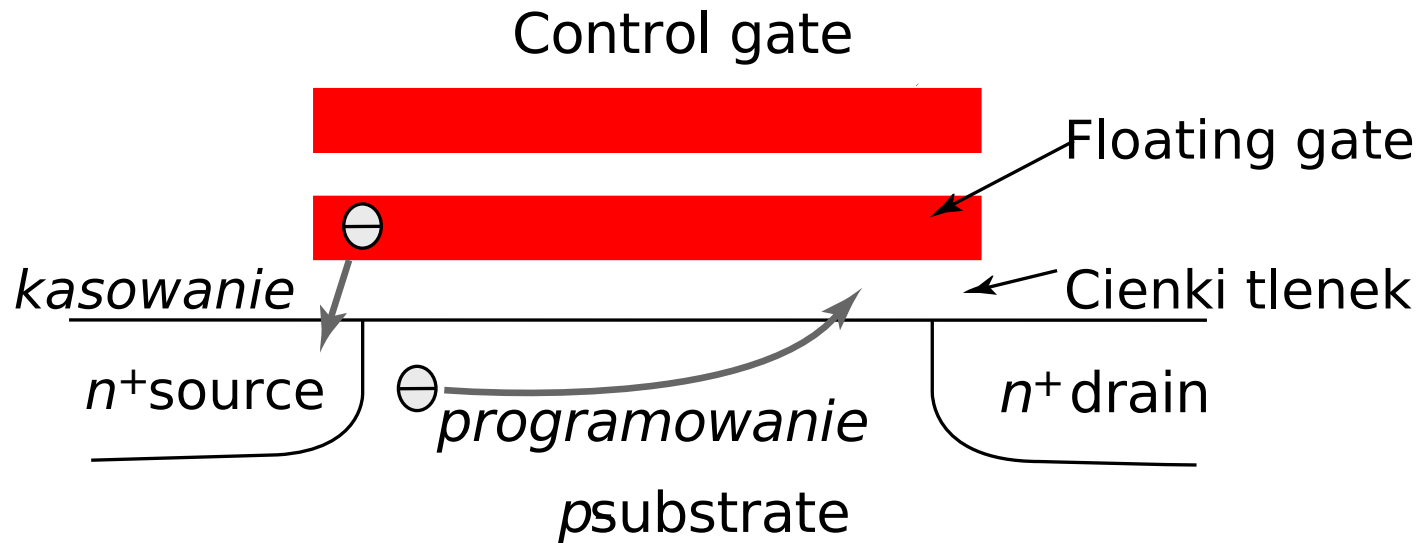
Charakterystyka I-V
przebiecia tunelowego
Fowler-Nordheim

Komórka EEPROM



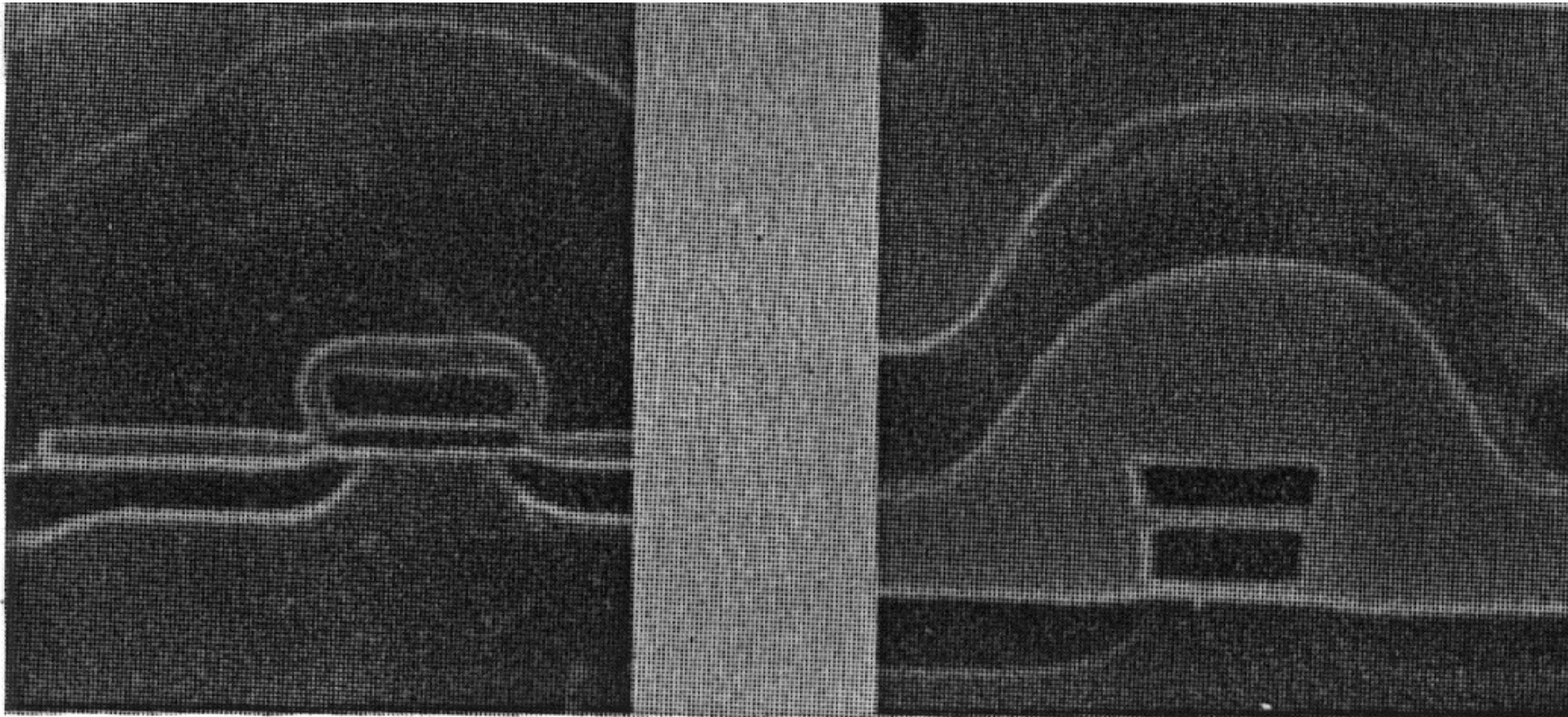
Ponieważ trudno dokładnie kontrolować próg
⇒ **2 tranzystorowa komórka pamięci**

Flash EEPROM



Są też inne typy pamięci nieulotnej ...

Przekroje komórek NVM

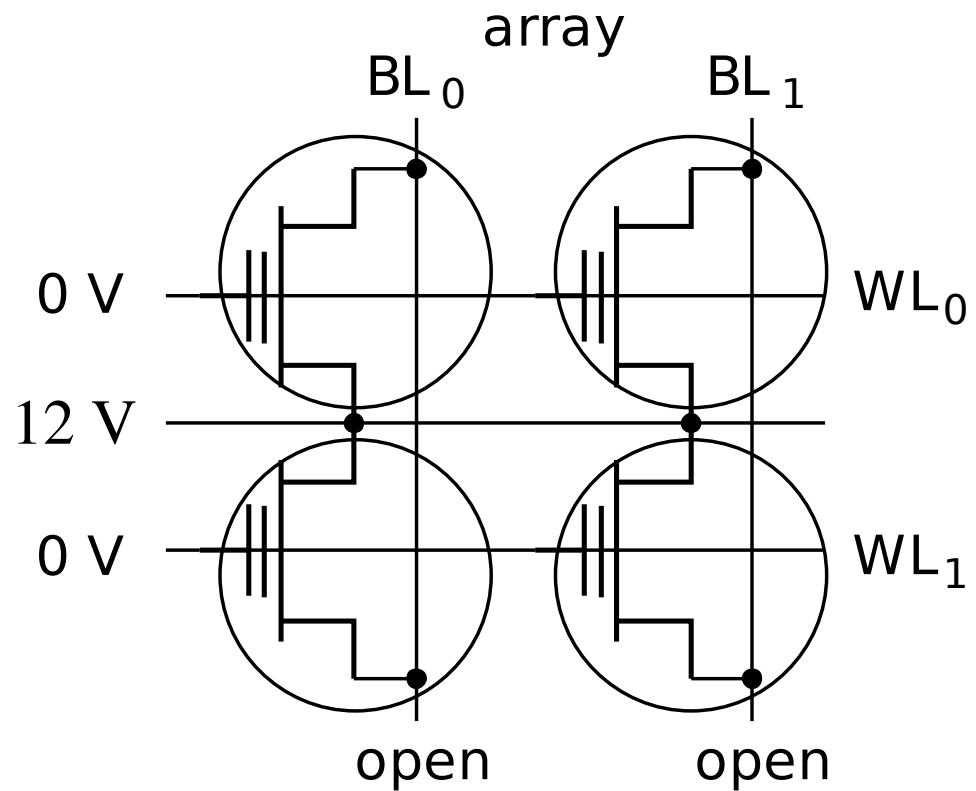
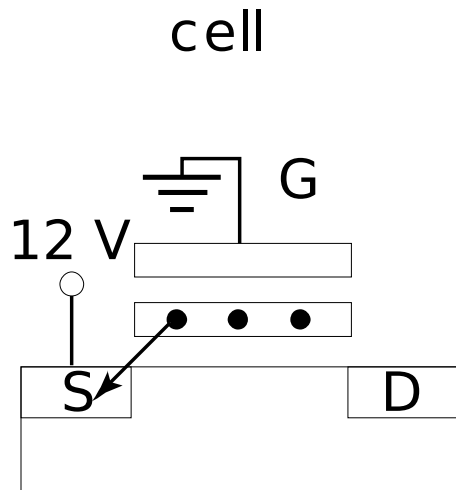


Flash

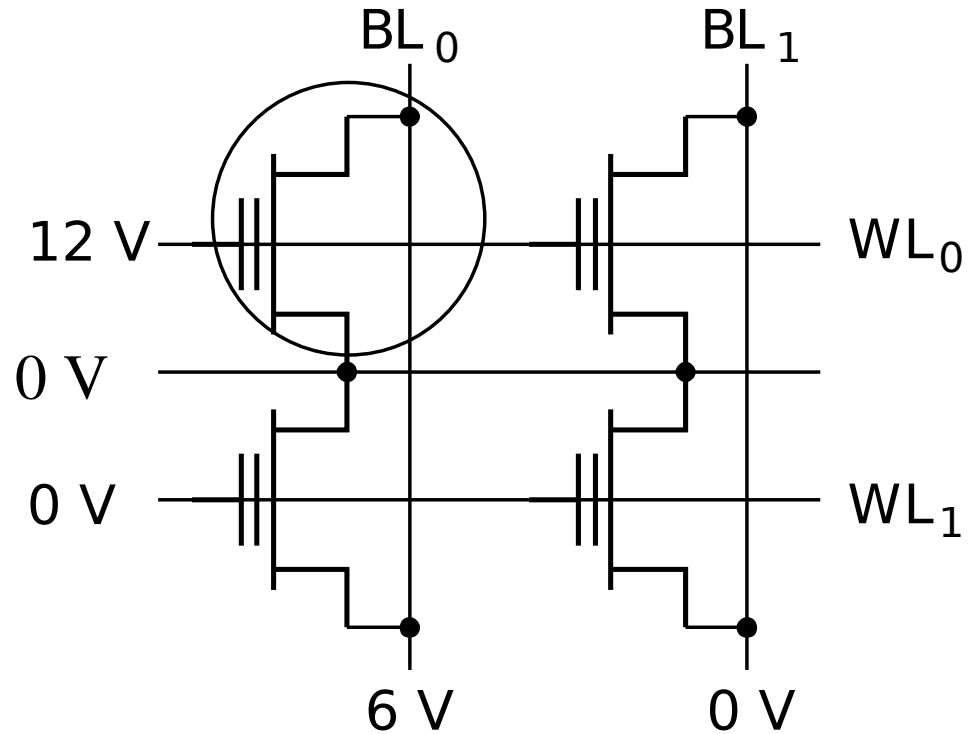
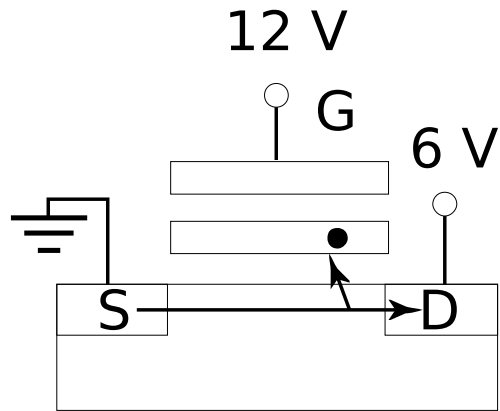
EPROM

Courtesy Intel

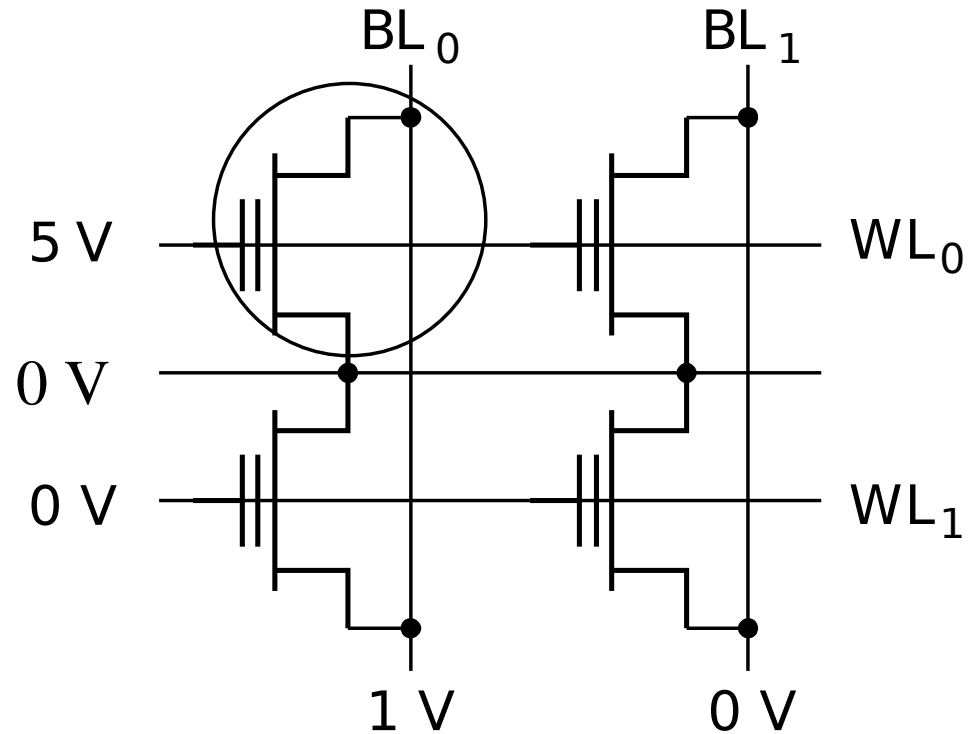
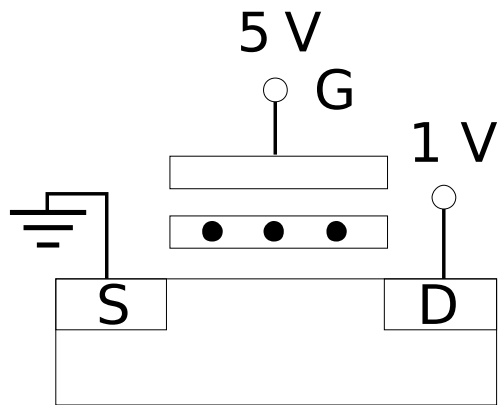
Podstawowe operacje w pamięci NOR Flash — (kasowanie) Erase



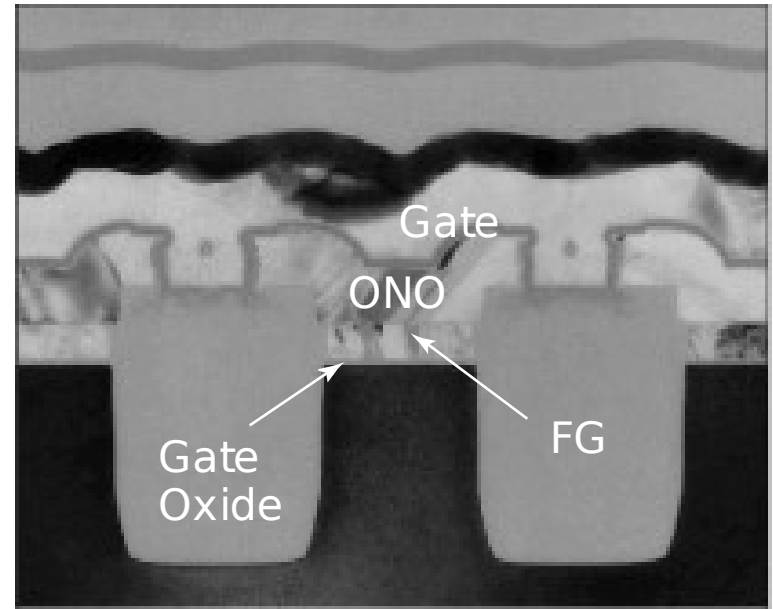
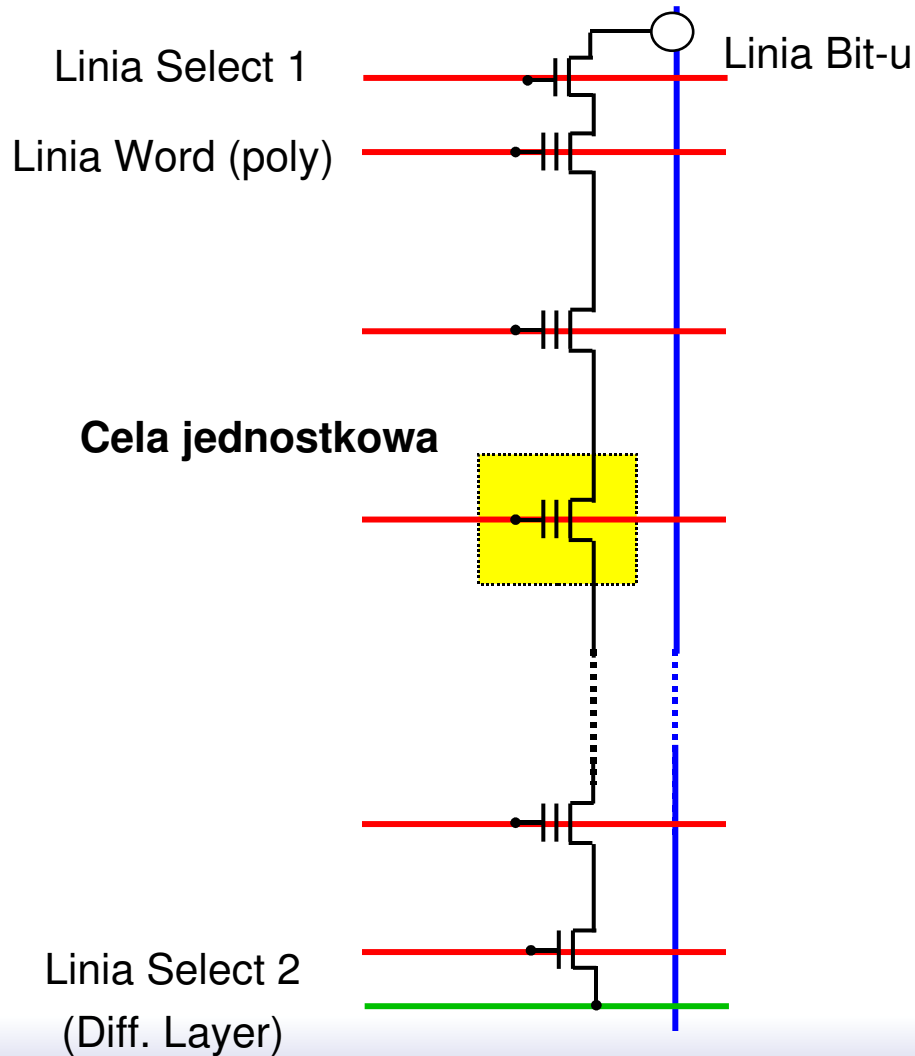
Podstawowe operacje w pamięci NOR Flash — Write



Podstawowe operacje w pamięci NOR Flash — Read



Pamięć NAND Flash



Courtesy Toshiba

Charakterystyki State-of-the-art pamięci NVM (nieulotnych)

Table 12-1 Comparison between nonvolatile memories ([Itoh01]).
 $V_{DD} = 3.3$ or 5 V; $V_{PP} = 12$ or 12.5 V.

	Cell— Nr. of Transistors	Cell Area (ratio wrt EPROM)	Mechanism		External Power Supply		Program/ Erase Cycles
			Erase	Write	Write	Read	
MASK ROM	1 T (NAND)	0.35–5	—	—	—	V_{DD}	0
EPROM	1 T	1	UV Exposure	Hot electrons	V_{PP}	V_{DD}	~100
EEPROM	2 T	3–5	FN Tunneling	FN Tunneling	V_{PP} (int)	V_{DD}	10^4 – 10^5
Flash Memory	1 T	1–2	FN Tunneling	Hot electrons	V_{PP}	V_{DD}	10^4 – 10^5
			FN Tunneling	FN Tunneling	V_{PP} (int)	V_{DD}	10^4 – 10^5

Pamięci Read-Write (RAM)

□ Pamięć statyczna (SRAM)

Dane pamiętane przy włączonym zasilaniu

Duże (6 transistors/cell)

Szybkie

Różnicowe

□ Pamięć dynamiczna (DRAM)

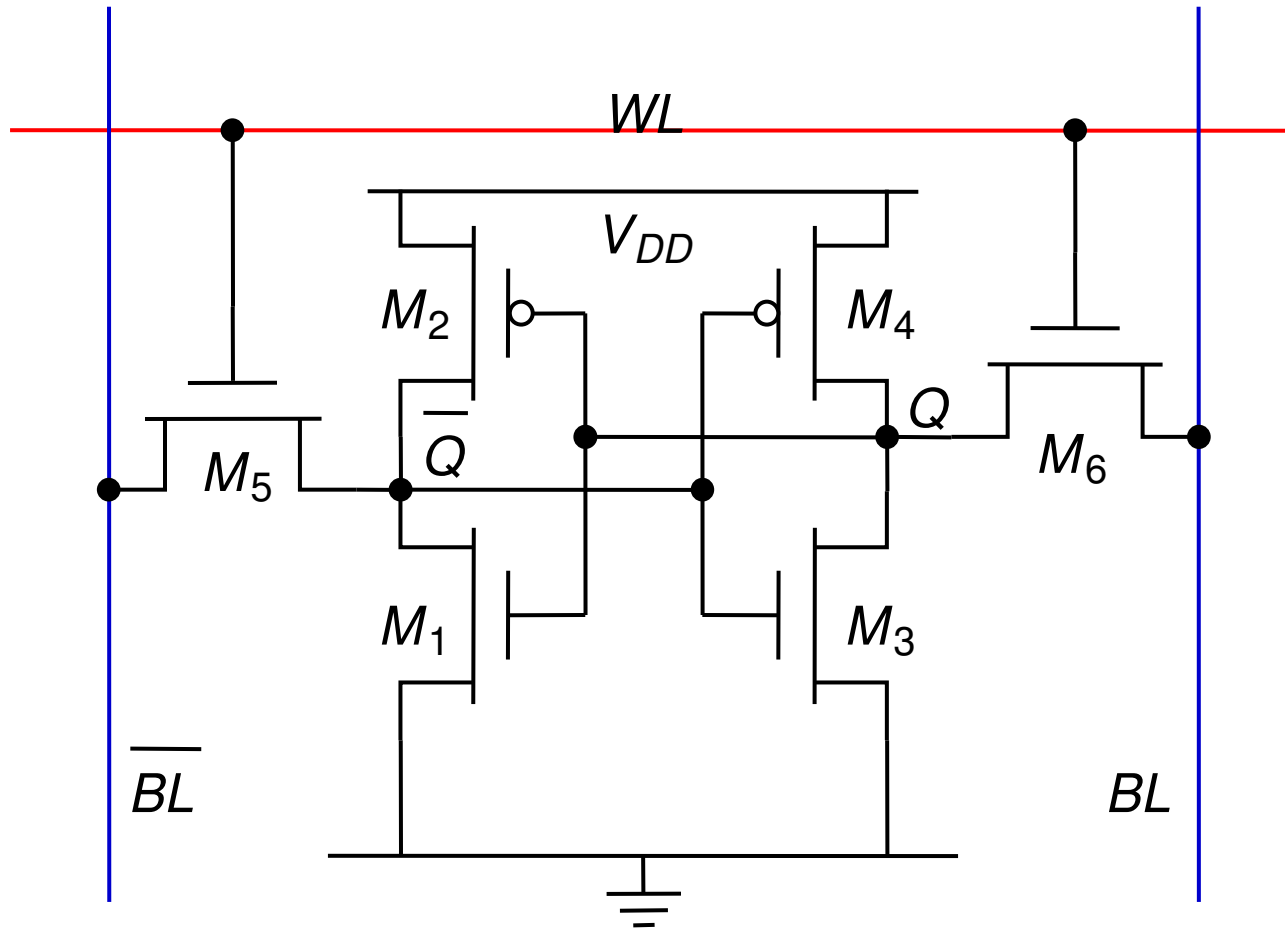
Konieczne periodyczne odświeżanie

Małe (1-3 transistors/cell)

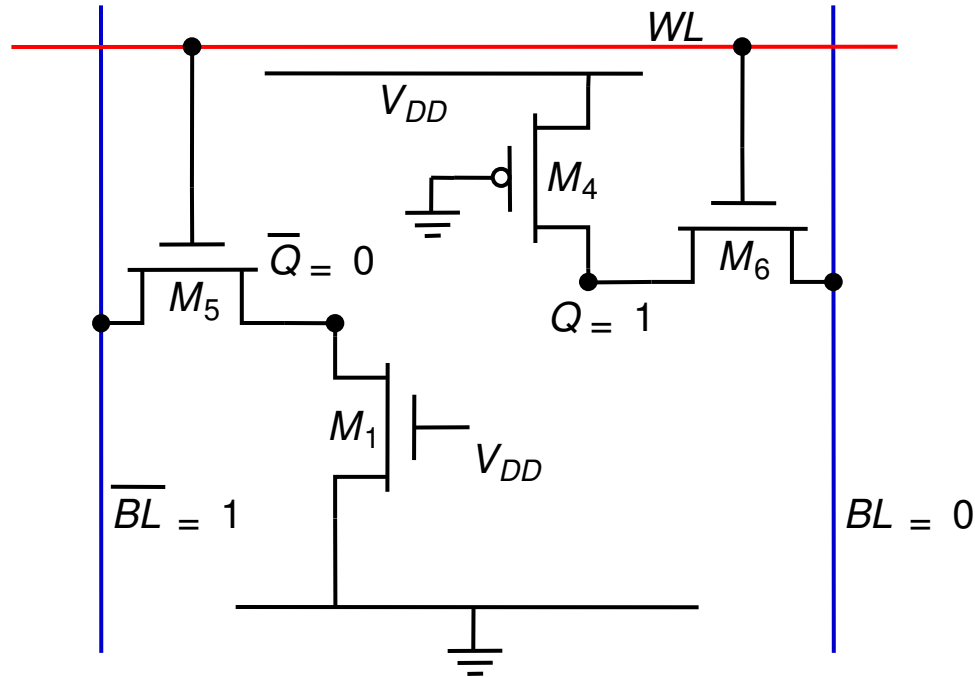
Wolniejsze

Single Ended

Komórka (6-tranz.) pamięci CMOS SRAM



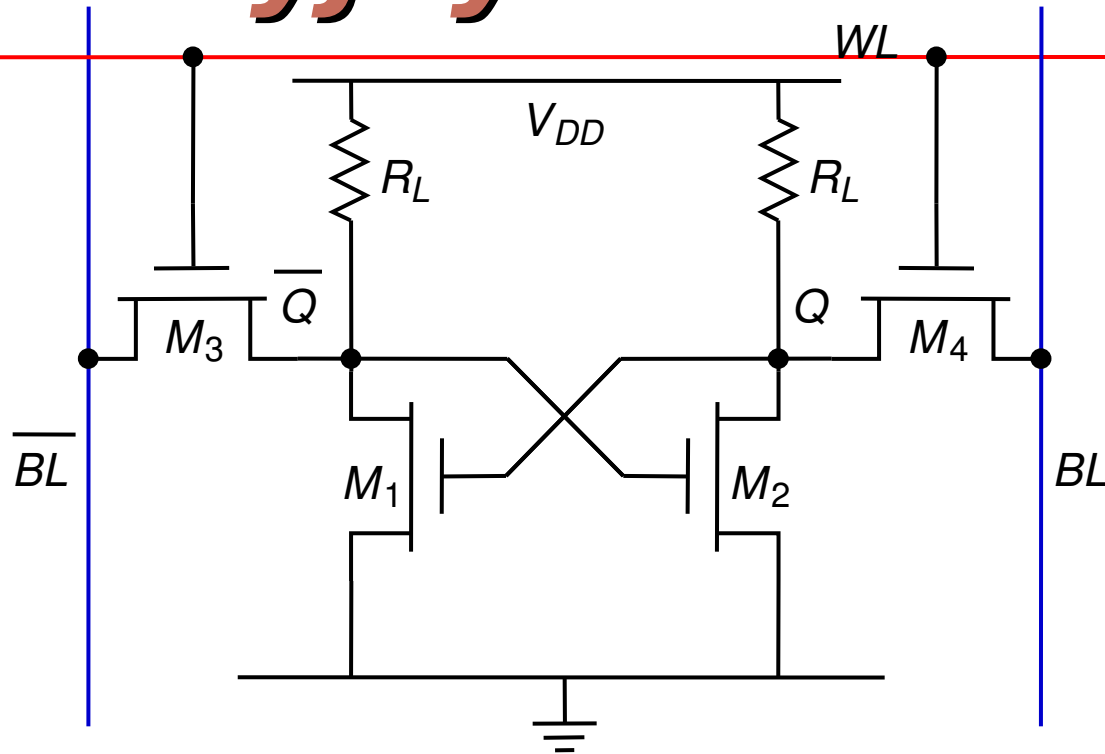
CMOS SRAM - Write



$$k_{n, M6} \left((V_{DD} - V_{Tn}) V_Q - \frac{V_Q^2}{2} \right) = k_{p, M4} \left((V_{DD} - |V_{Tp}|) V_{DSATp} - \frac{V_{DSATp}^2}{2} \right)$$

$$V_Q = V_{DD} - V_{Tn} - \sqrt{(V_{DD} - V_{Tn})^2 - 2 \frac{\mu_p}{\mu_n} PR \left((V_{DD} - |V_{Tp}|) V_{DSATp} - \frac{V_{DSATp}^2}{2} \right)},$$

Pamięć SRAM z obciążeniem rezystancyjnym



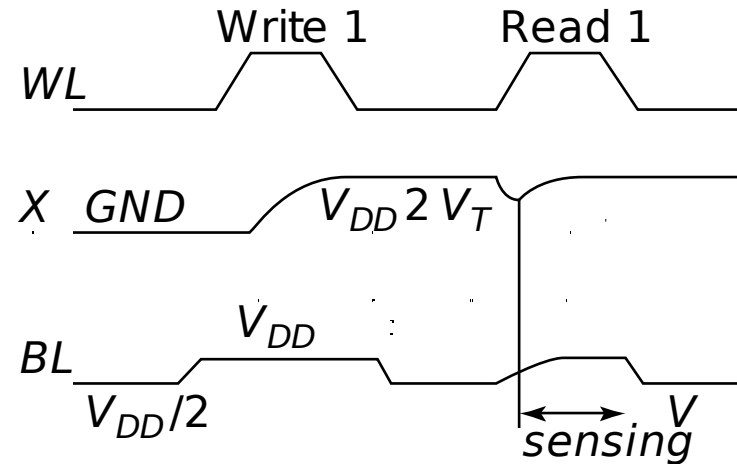
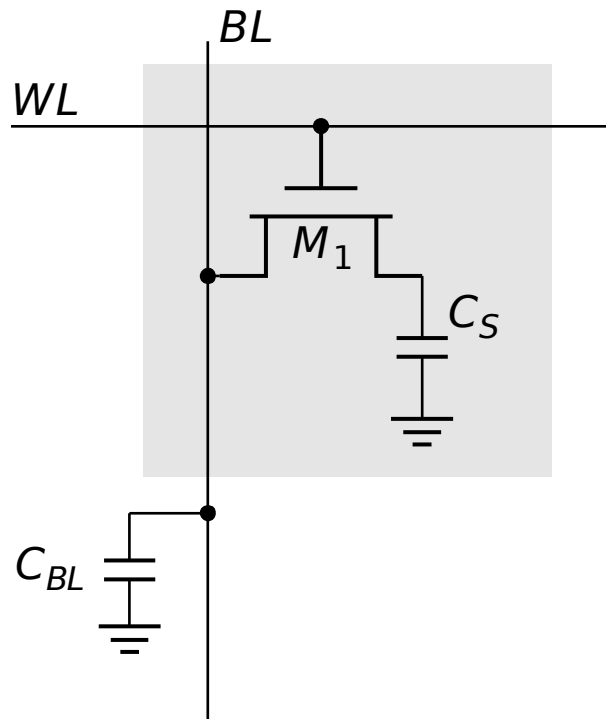
Statyczna strata mocy – potrzebne duże R_L

Charakterystyki SRAM

Table 12-2 Comparison of CMOS SRAM cells used in 1-Mbit memory
(from [Takada91])

	Complementary CMOS	Resistive Load	TFT Cell
Number of transistors	6	4	4 (+2 TFT)
Cell size	58.2 μm^2 (0.7- μm rule)	40.8 μm^2 (0.7- μm rule)	41.1 μm^2 (0.8- μm rule)
Standby current (per cell)	10^{-15} A	10^{-12} A	10^{-13} A

1-tranz. komórka DRAM



Write: C_S jest ładowane lub rozładowywane przez WL i BL.

Read: Następuje redystrybucja ładunku pomiędzy linią bitu i pojemnością pamięci

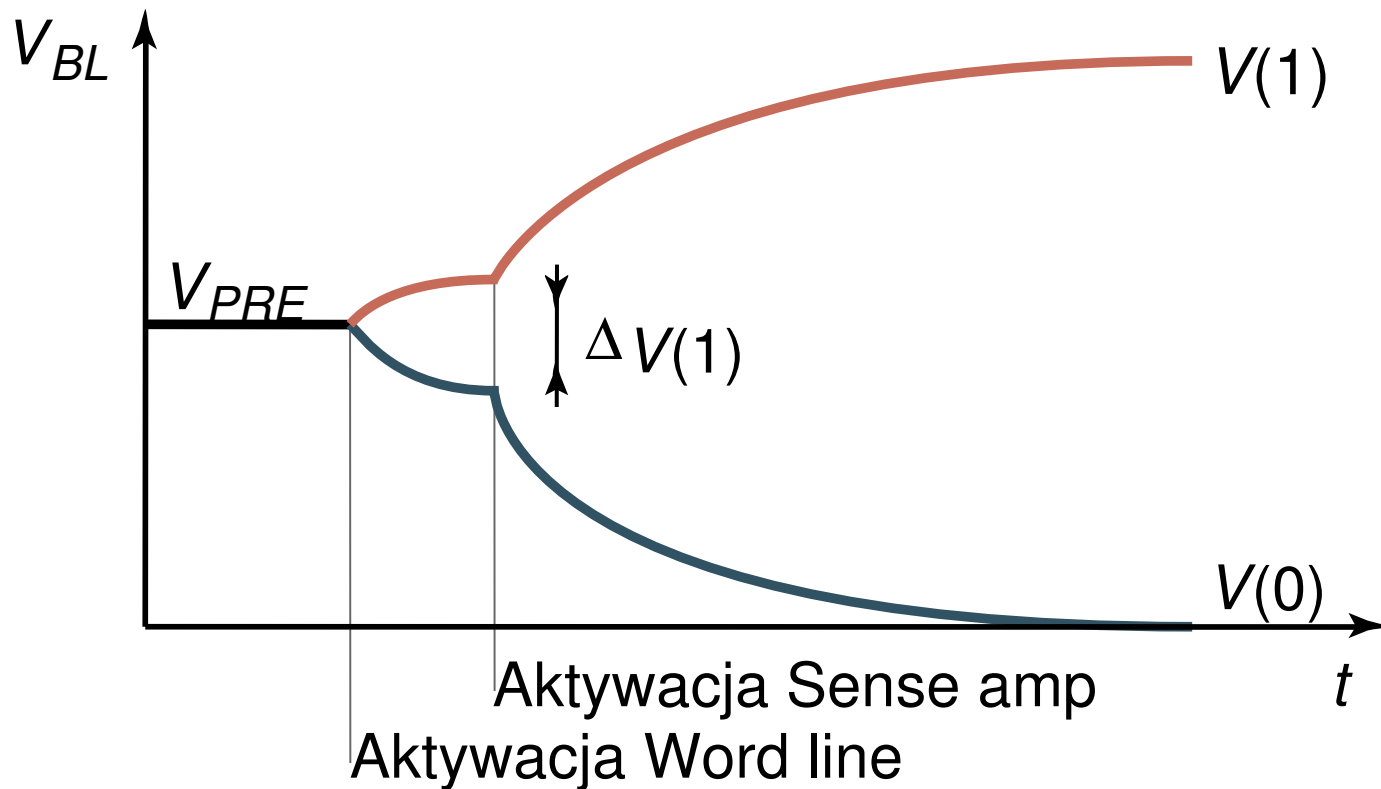
$$\Delta V = V_{BL} - V_{PRE} = V_{BIT} - V_{PRE} \frac{C_S}{C_S + C_{BL}}$$

Mała zmiana napięcia; typowo ~ 250 mV.

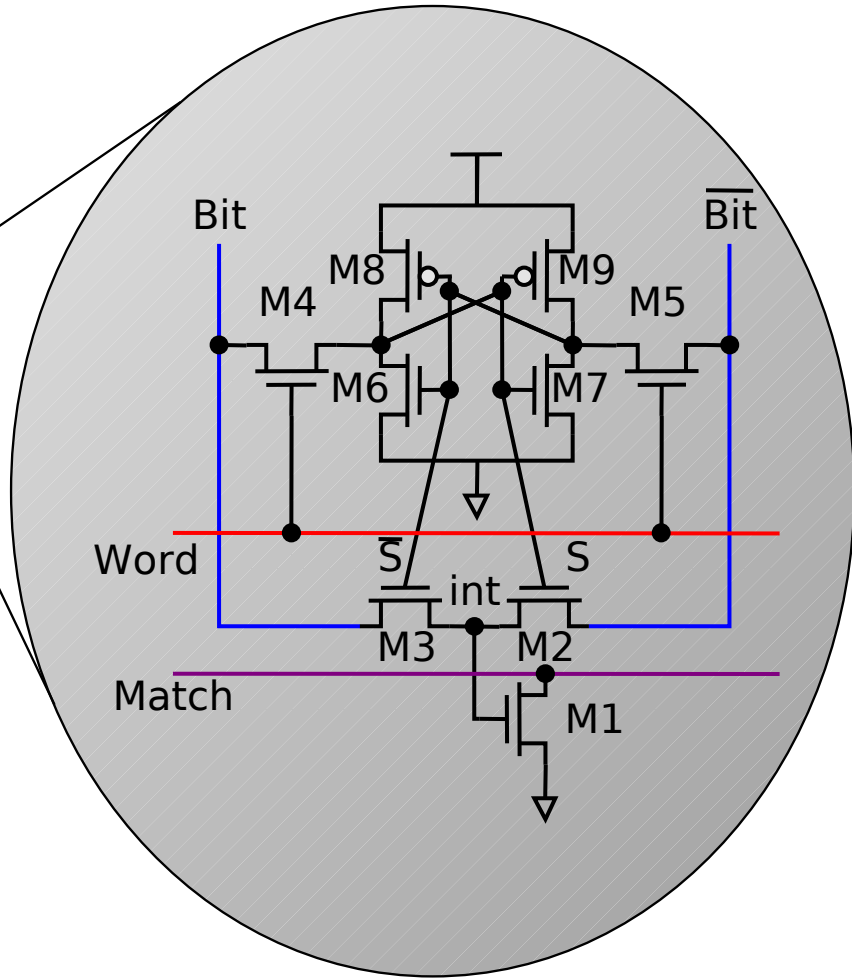
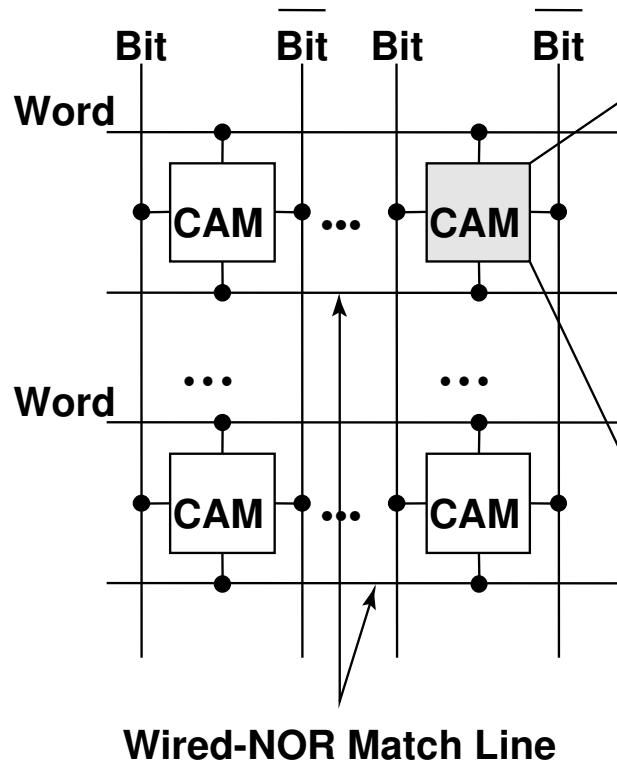
Własności DRAM

- ❑ 1T DRAM potrzebuje wzmacniacza sygnału (sense amplifier) dla linii bit-u, ze względu na redystrybucję odczytywanego ładunku.
- ❑ Komórki DRAM są single ended w przeciwieństwie do SRAM.
- ❑ Odczyt komórki 1T DRAM jest destrukcyjny; read and refresh są konieczne do poprawnego działania.
- ❑ W przeciwieństwie do komórki 3T, 1T wymaga extra pojemności.

Działanie Sense Amp



Statyczna komórka CAM

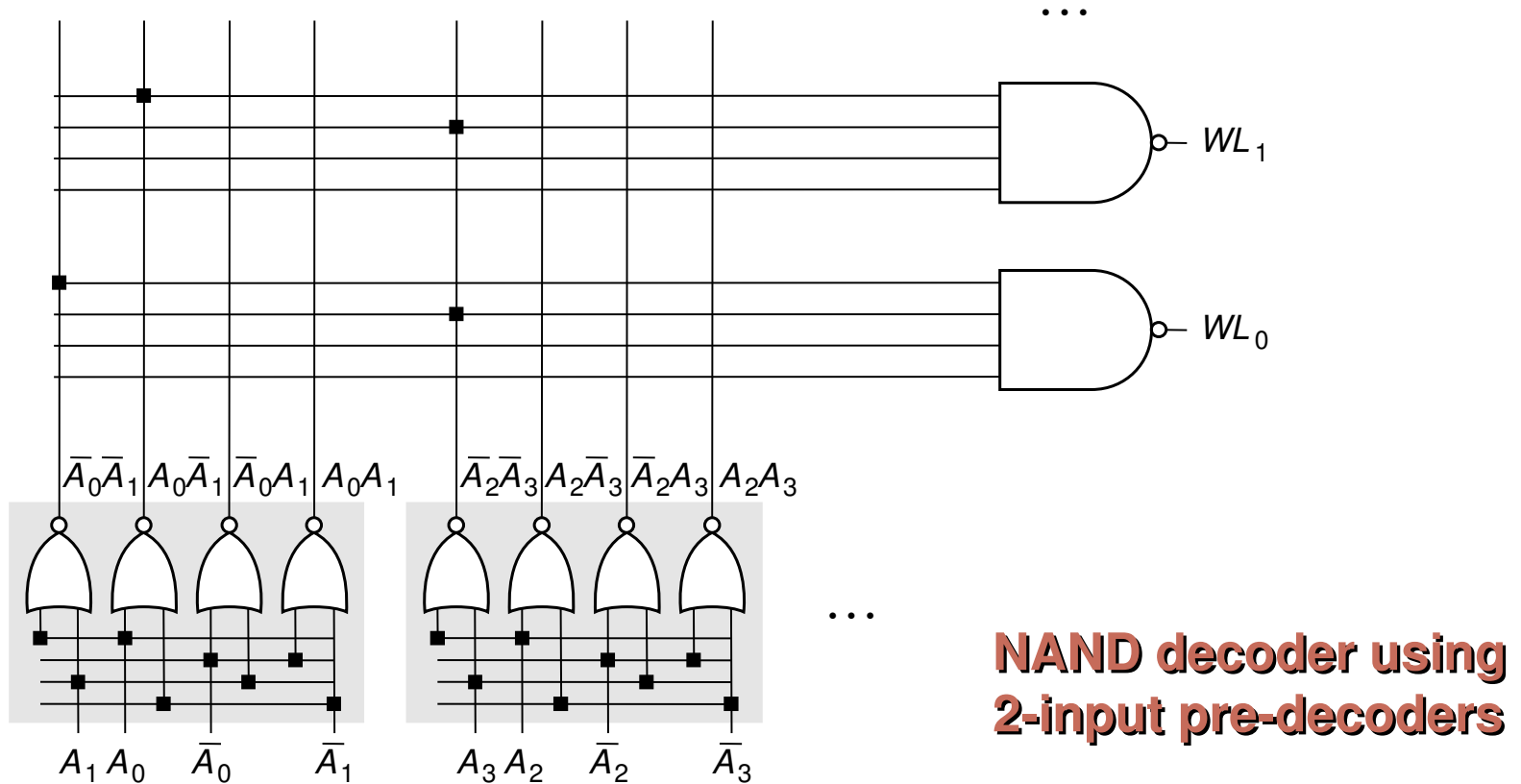


Układy peryferyjne

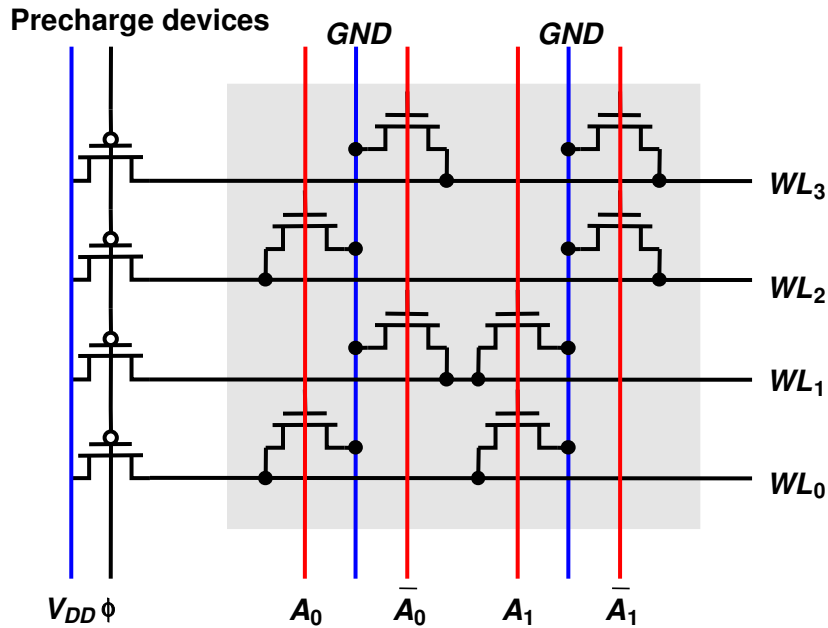
- Dekodery**
- Sense Amplifiers**
- Bufory Input/Output**
- Control / Timing Circuitry**

Statyczne decodery rzędu

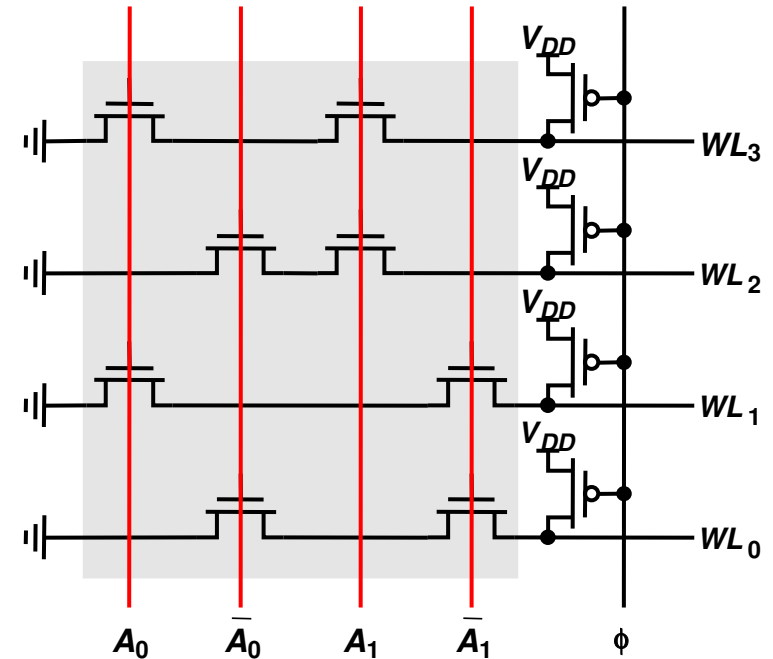
Multi-stopniowa implementacja jest efektywniejsza



Dynamiczne dekodery rzędu

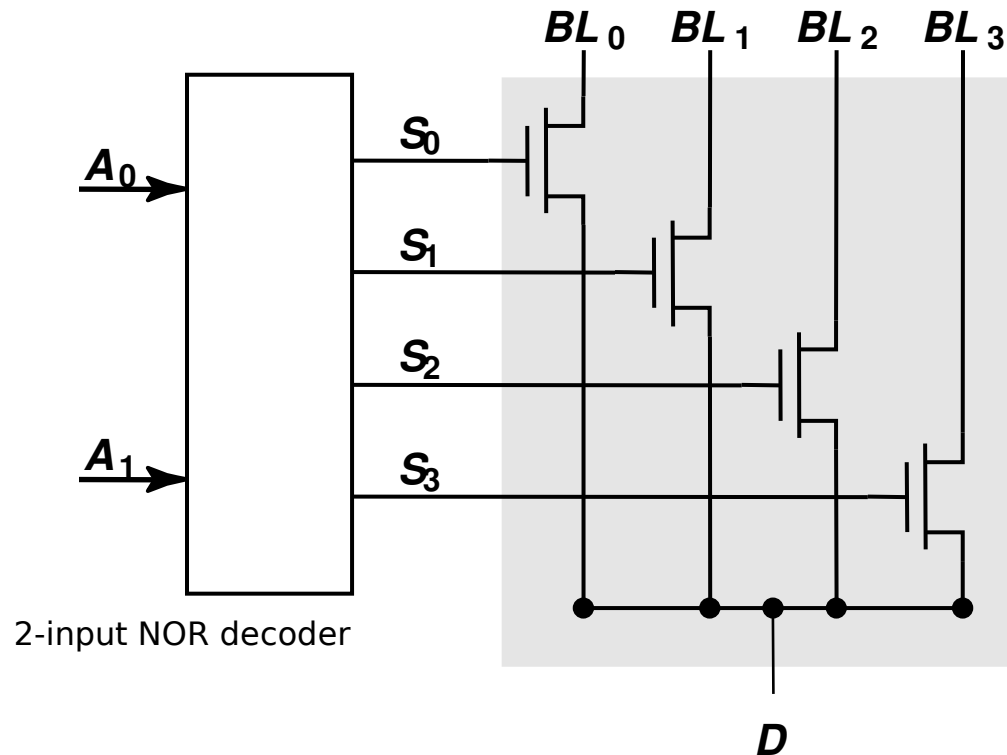


2-input NOR decoder

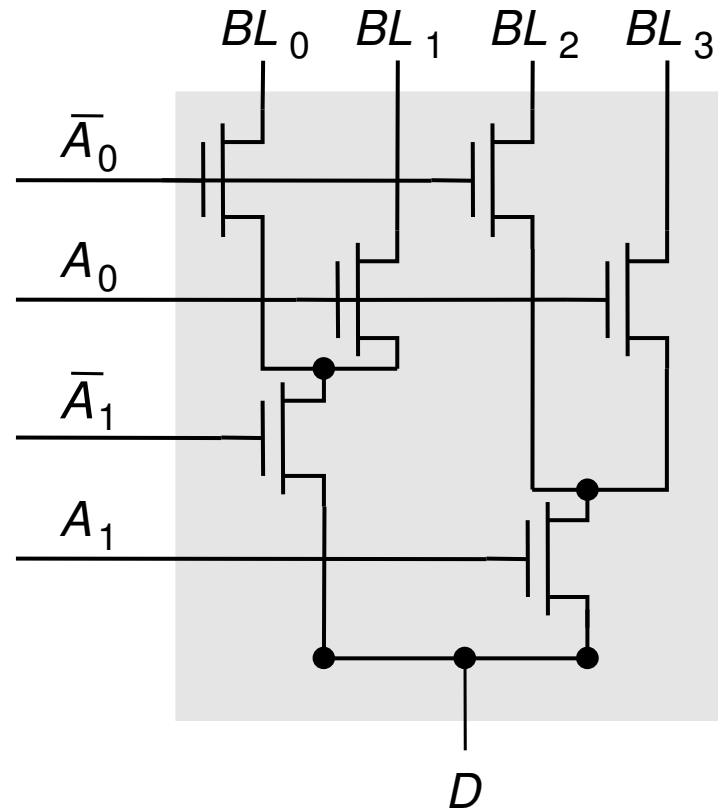


2-input NAND decoder

Dekoder kolumnny oparty na 4-input pass-transistor

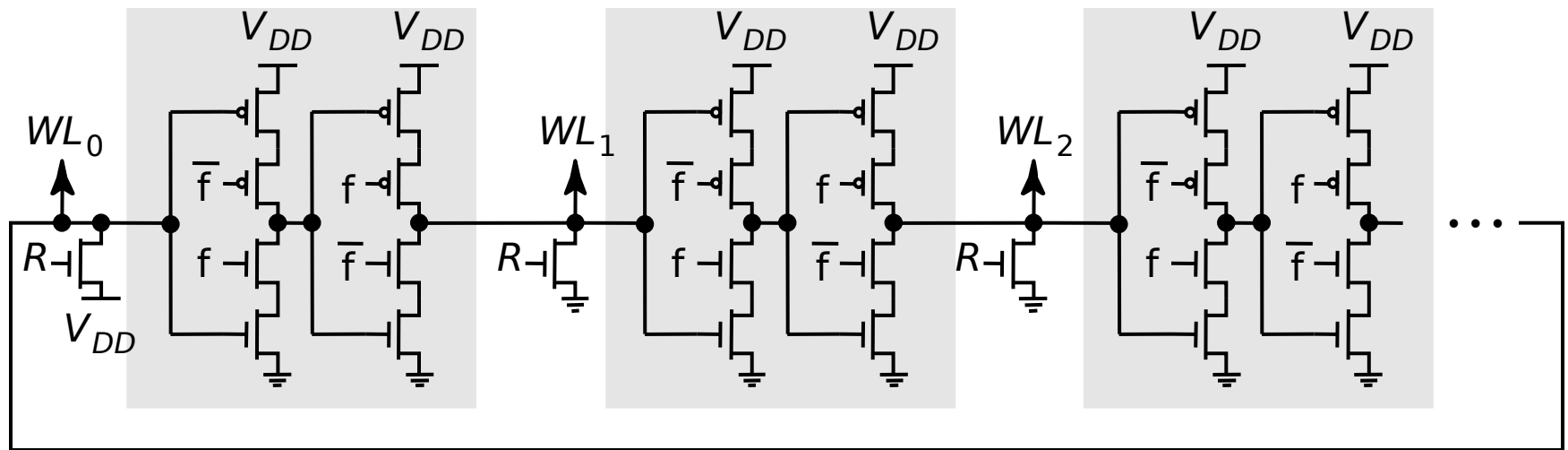


Inna implementacja dekodera columny 4 -1

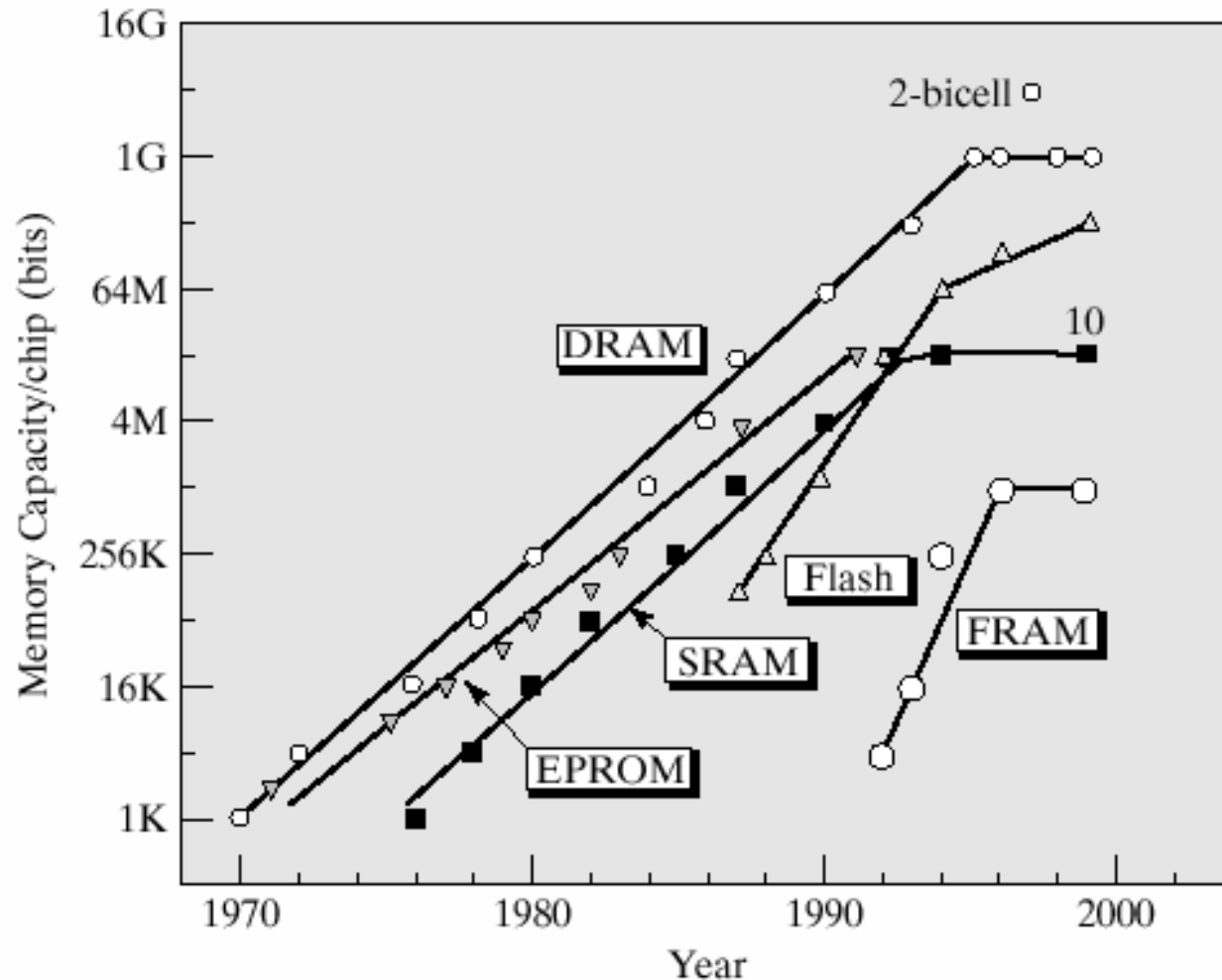


Dużo mniej tranzystorów, ale za to wolniejszy

Dekoder dla cyklicznego rejestru przesuwowego

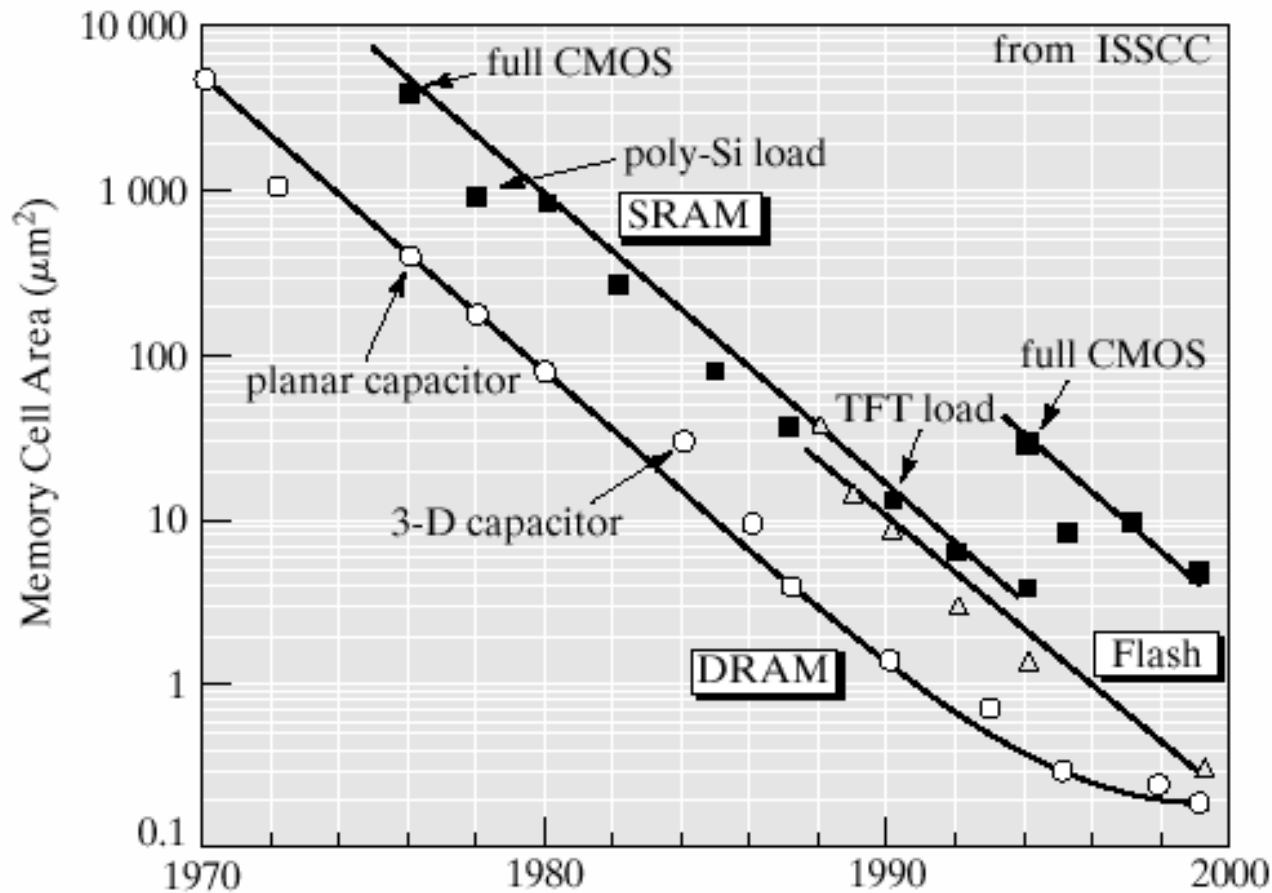


Rozwój pamięci półprzewodnikowych



From [Itoh01]

Zmiany powierzchni komórki jednostkowej



From [Itoh01]