



Digital Integrated Circuits A Design Perspective

Jan M. Rabaey

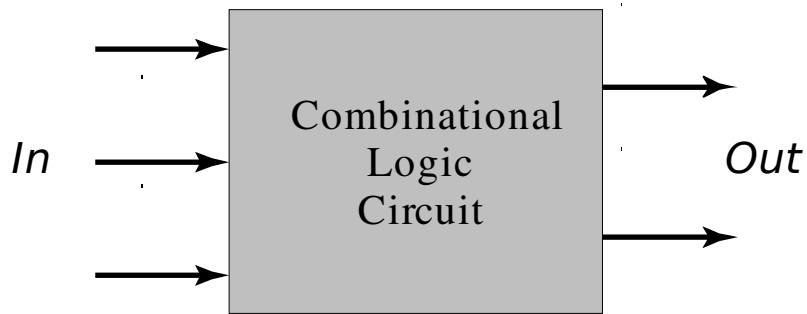
Anantha Chandrakasan

Borivoje Nikolić

Designing Combinational Logic Circuits

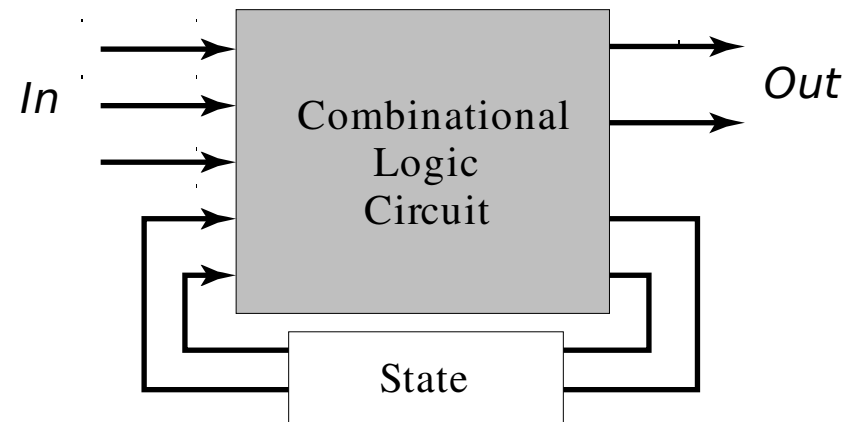
November 2002.

Combinational vs. Sequential Logic



Combinational

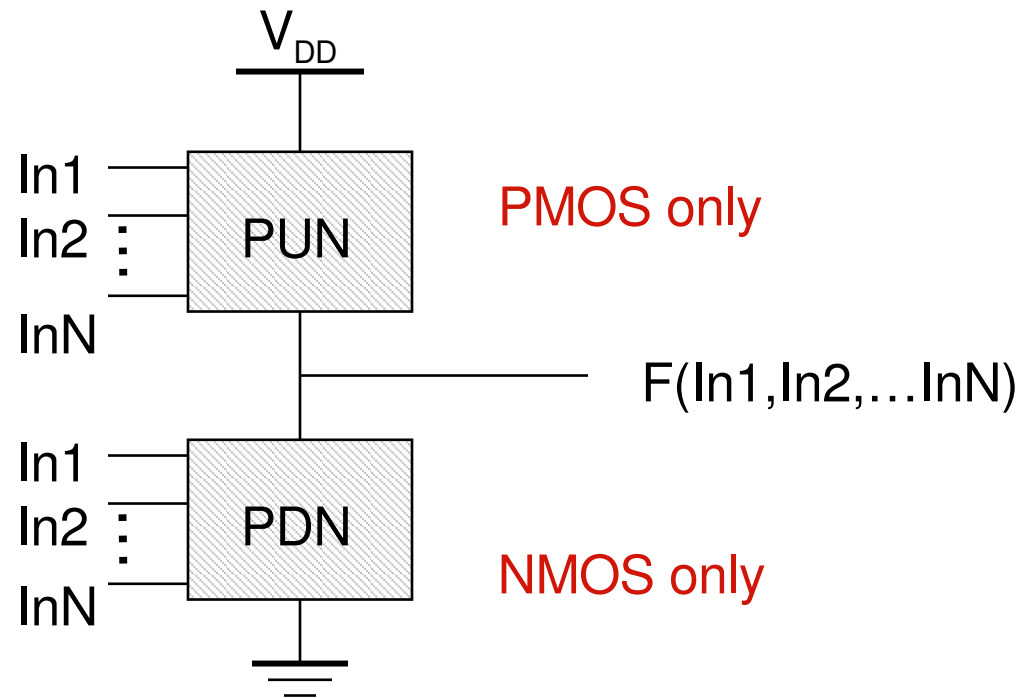
$$\text{Output} = f(\text{In})$$



Sequential

$$\text{Output} = f(\text{In}, \text{Previous In})$$

Static Complementary CMOS

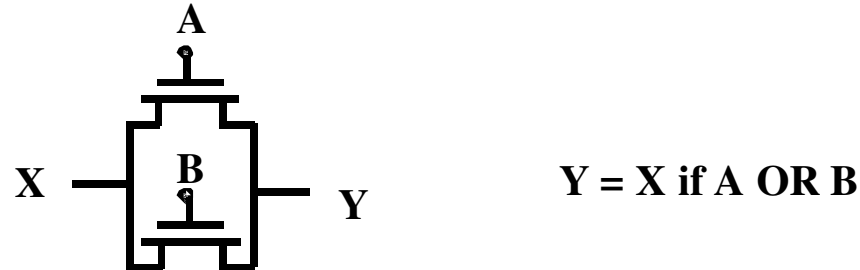


PUN są PDN **dualnymi** sieciami logicznymi

NMOS Transistors in Series/Parallel Connection

Transistors can be thought as a switch controlled by its gate signal

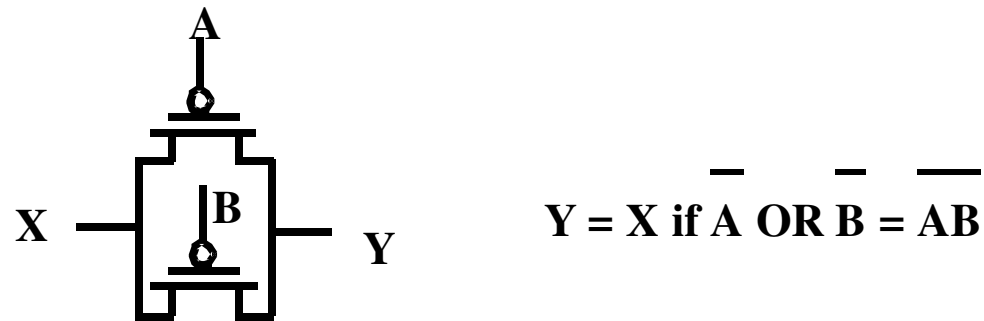
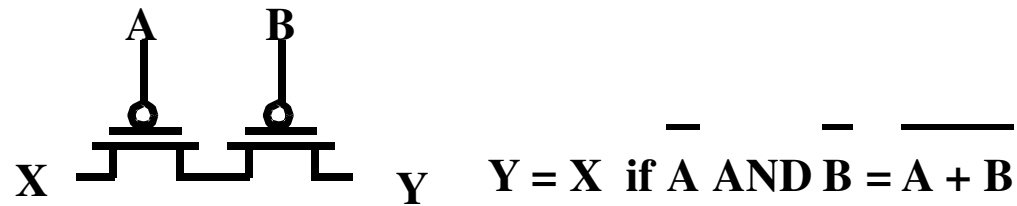
NMOS switch closes when switch control input is high



NMOS Transistors pass a “strong” 0 but a “weak” 1

PMOS Transistors in Series/Parallel Connection

PMOS switch closes when switch control input is low

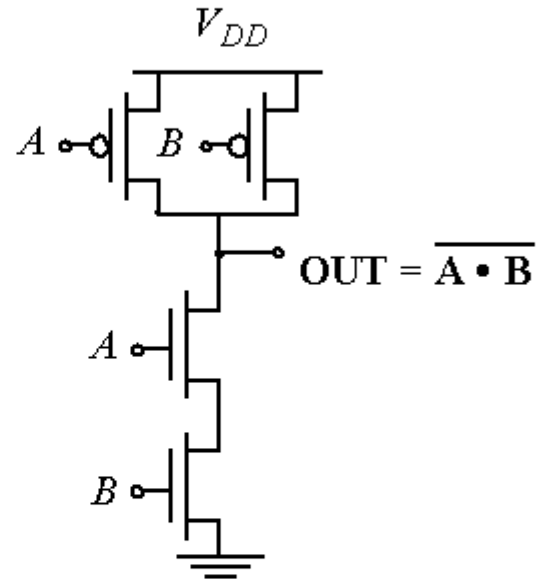


PMOS Transistors pass a “strong” 1 but a “weak” 0

Example Gate: NAND

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate



PDN: $G = A B \Rightarrow$ Conduction to GND

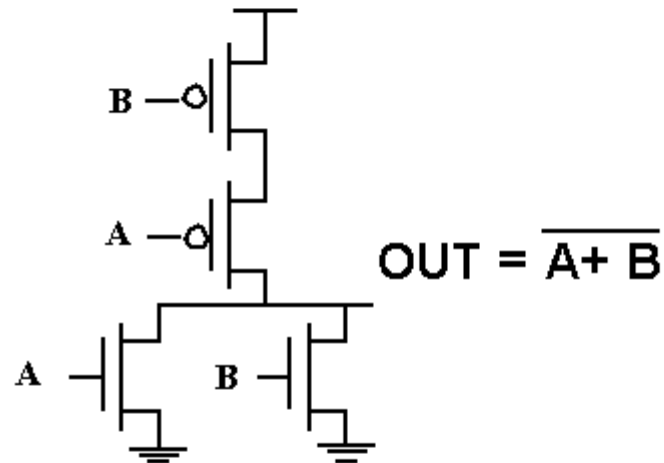
PUN: $F = \overline{A} + \overline{B} = \overline{AB} \Rightarrow$ Conduction to V_{DD}

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

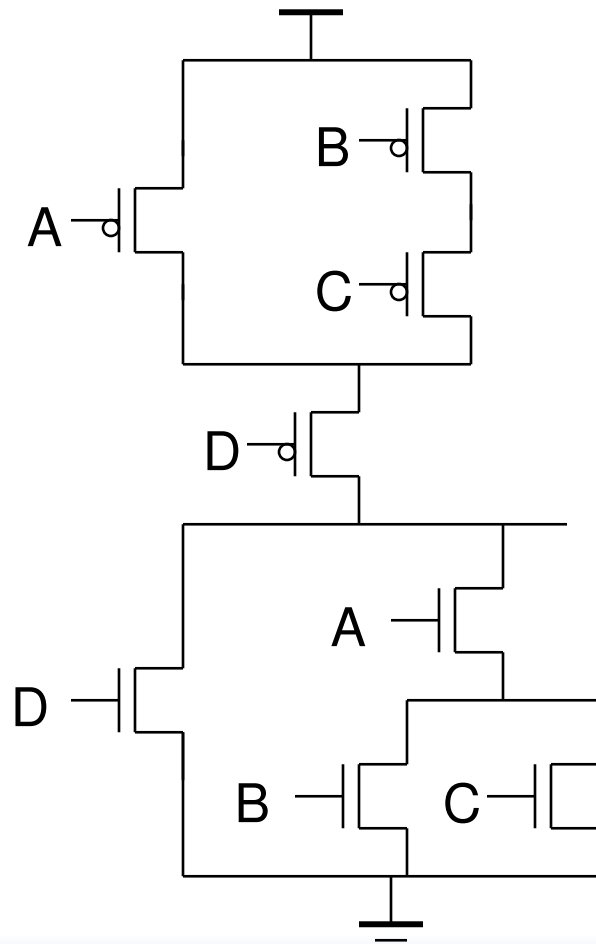
Example Gate: NOR

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate

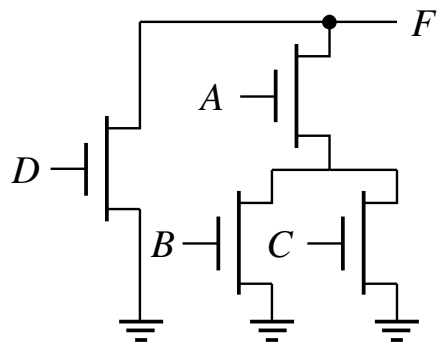


Złożona bramka CMOS

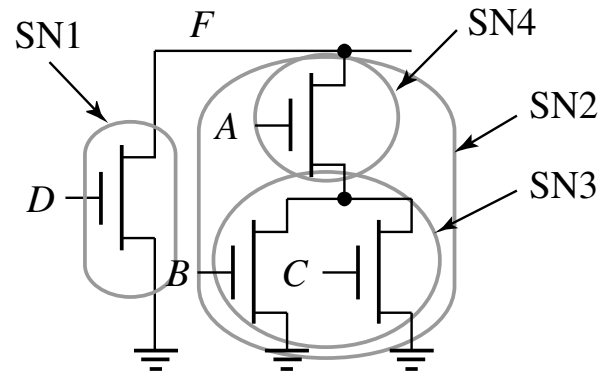


$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

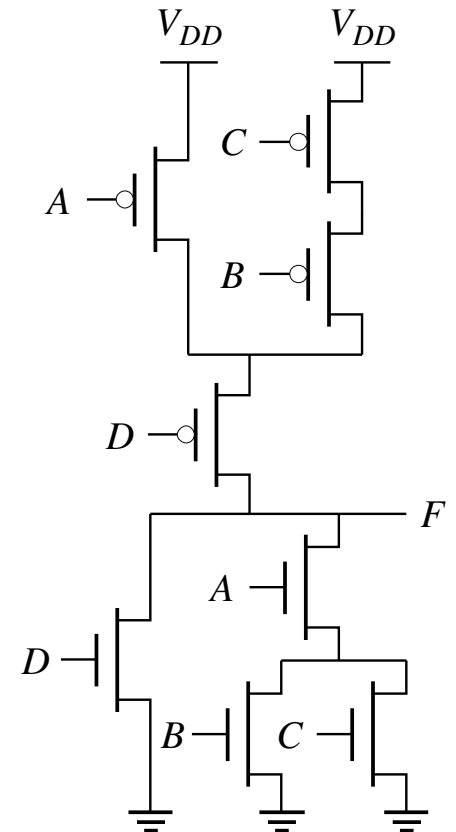
Projektowanie bramki złożonej



(a) pull-down network



(b) Deriving the pull-up network hierarchically by identifying sub-nets

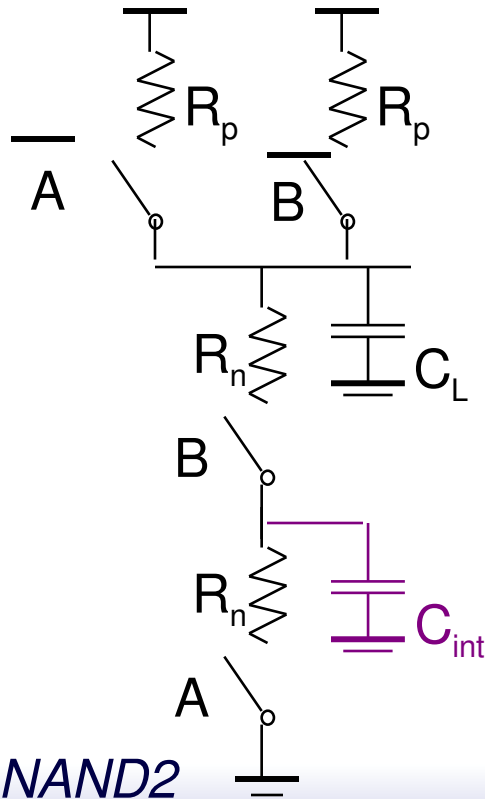
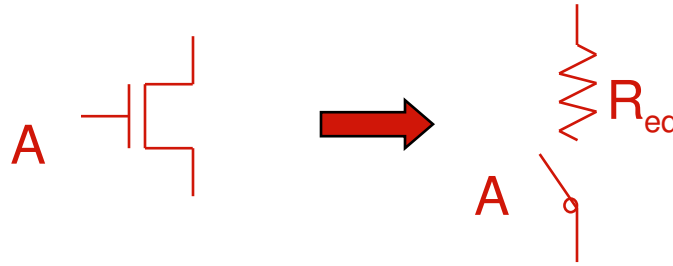


(c) complete gate

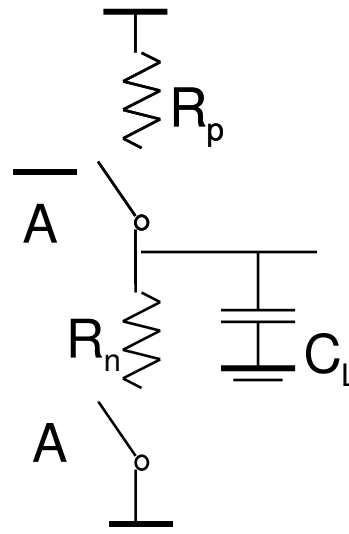
Własności static CMOS

- ❑ Pełny “rail-to-rail” zakres; **duży margines szumu**
- ❑ Poziomy logiczne nie zależą od względnych rozmiarów tranzystorów; **“ratioless”**
- ❑ Zawsze istnieje ścieżka do Vdd lub Gnd w stanie ustalonym; **mała impedancja wyjściowa**
- ❑ Ogromna **rezystancja wejściowa**; zerowy prąd wejściowy w stanie ustalonym
- ❑ Brak bezpośredniego połączenia Vdd i Gnd w stanie ustalonym; **brak poboru mocy statycznej**
- ❑ Opóźnienie bramki jest funkcją pojemności obciążenia i rezystancji tranzystora

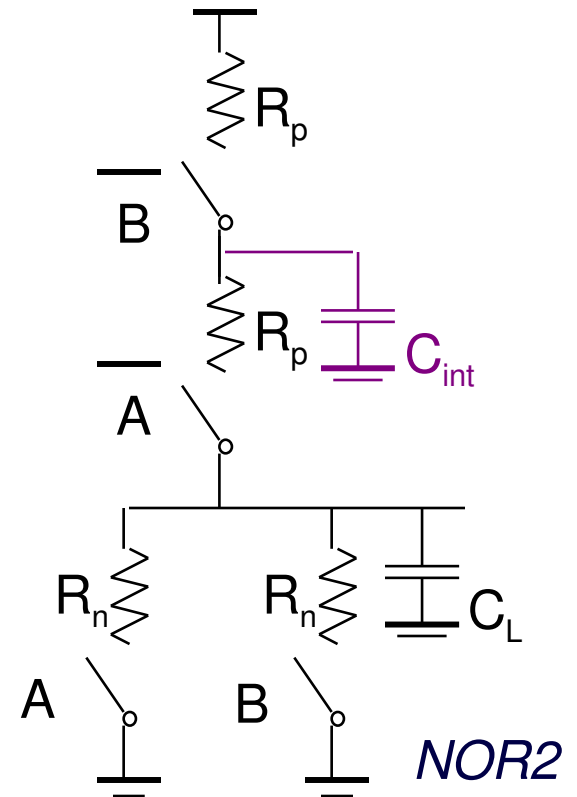
Model opóźnienia klucza



NAND2

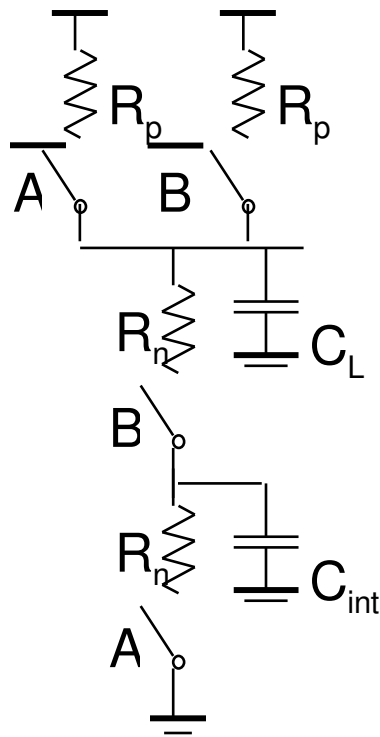


INV



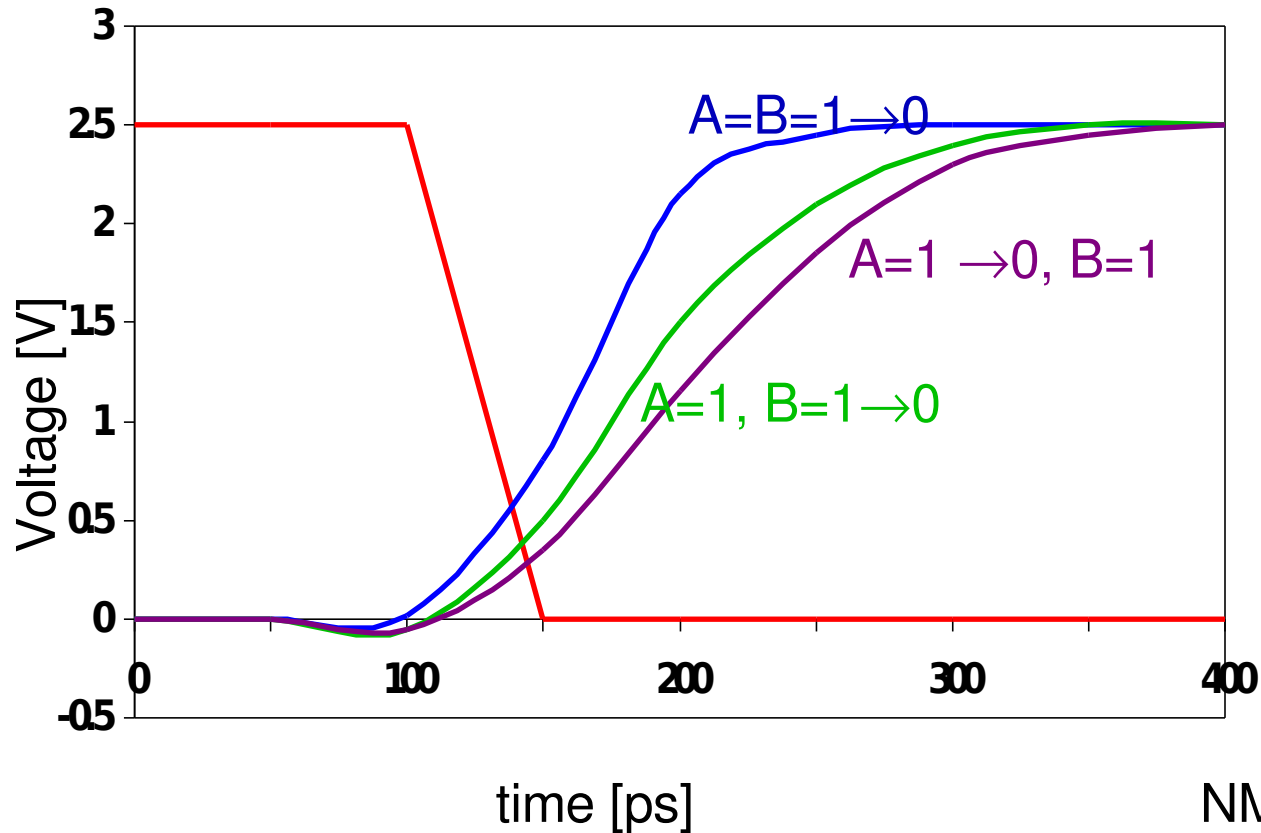
NOR2

Wpływ kombinacji wejściowej na opóźnienie



- Opóźnienie zależy od kombinacji wejść
- Zmiana “low- high”
 - oba wejścia “high-low”
 - opóźnienie $0.69 R_p/2 C_L$
 - jedno wejście “high-low”
 - opóźnienie $0.69 R_p C_L$
- Zmiana “high-low”
 - oba wejścia “low-high”
 - opóźnienie $0.69 2R_n C_L$

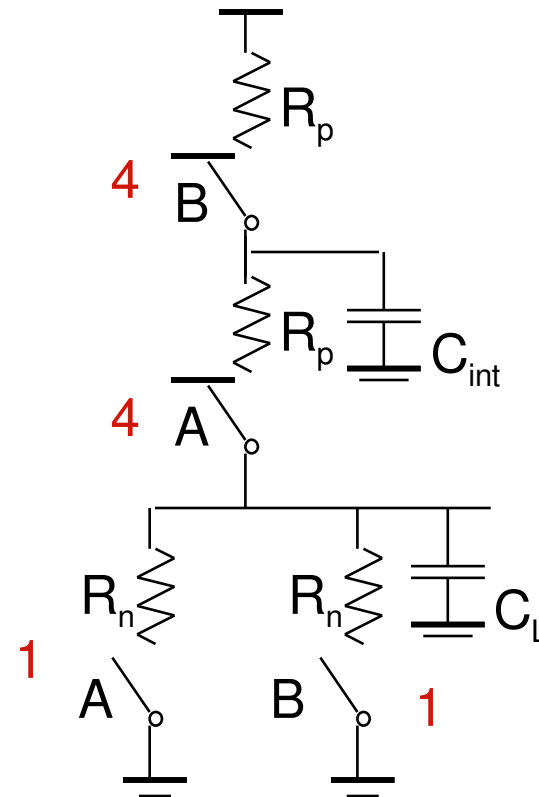
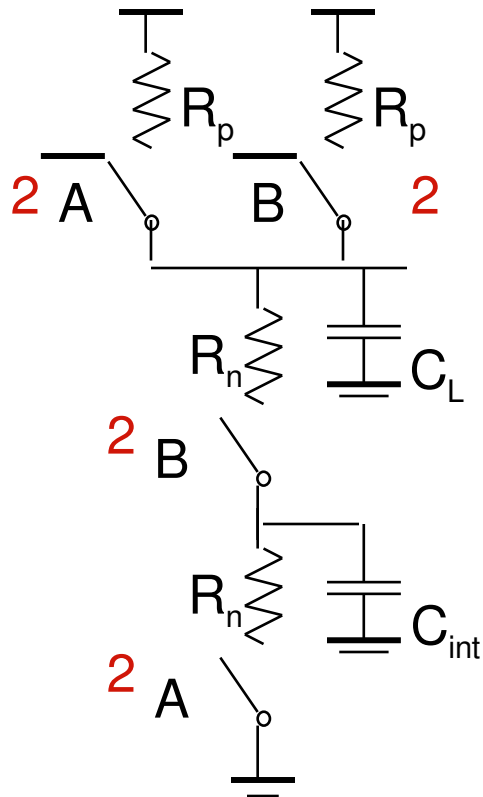
Zależność opóźnienia od kombinacji wejściowej



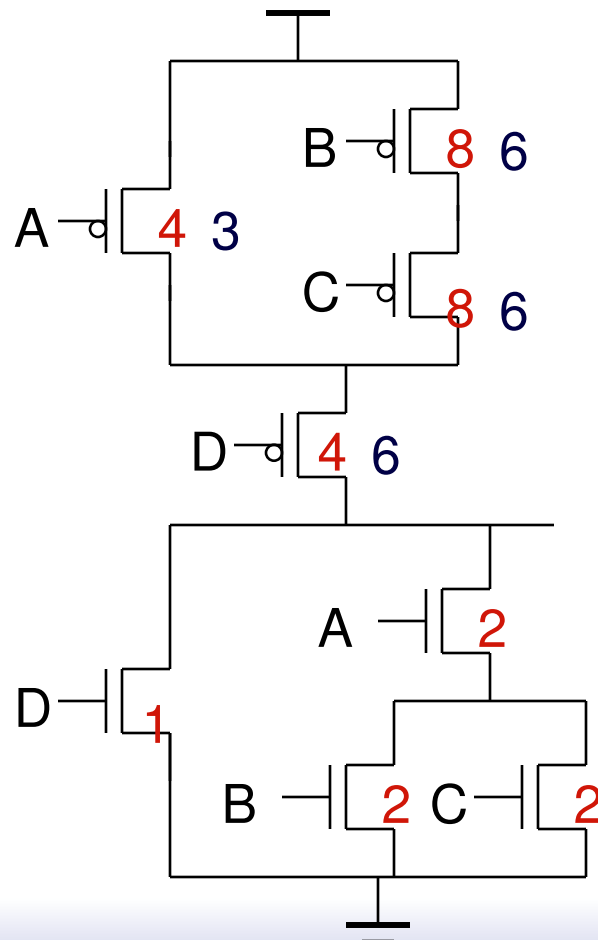
Input Data Pattern	Delay (psec)
A=B=0→1	67
A=1, B=0→1	64
A= 0→1, B=1	61
A=B=1→0	45
A=1, B=1→0	80
A= 1→0, B=1	81

NMOS = $0.5\mu\text{m}/0.25\mu\text{m}$
PMOS = $0.75\mu\text{m}/0.25\mu\text{m}$
 $C_L = 100\text{ fF}$

Wymiarowanie tranzystorów

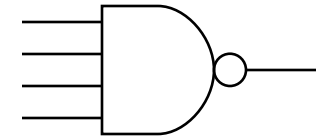
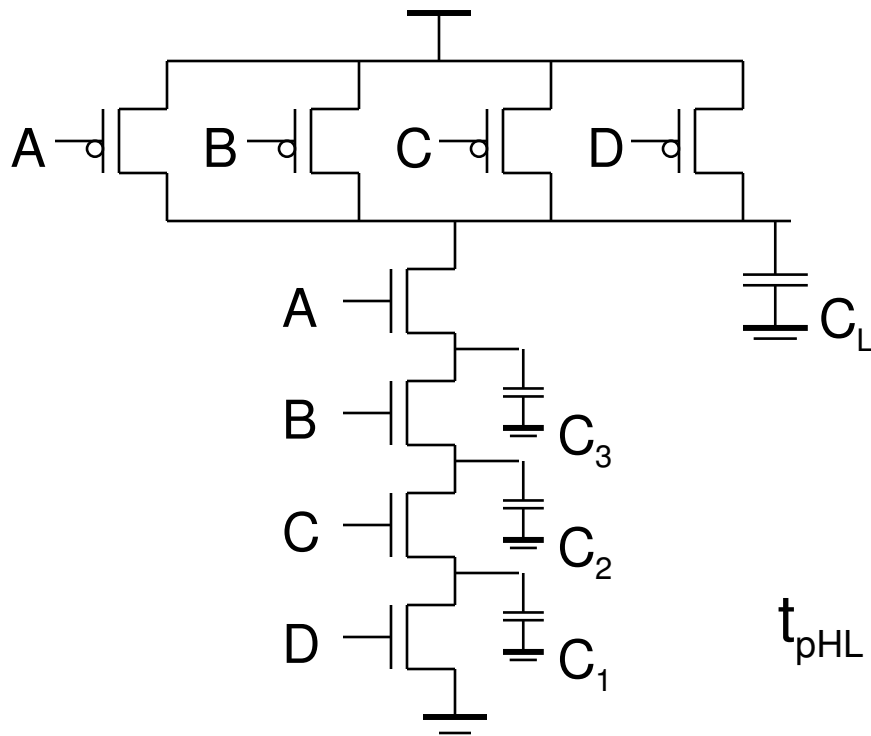


Wymiarowanie tranzystorów w złożonej bramce CMOS



$$\overline{\text{OUT}} = \overline{D + A \cdot (B + C)}$$

Rozważania “Fan-In”



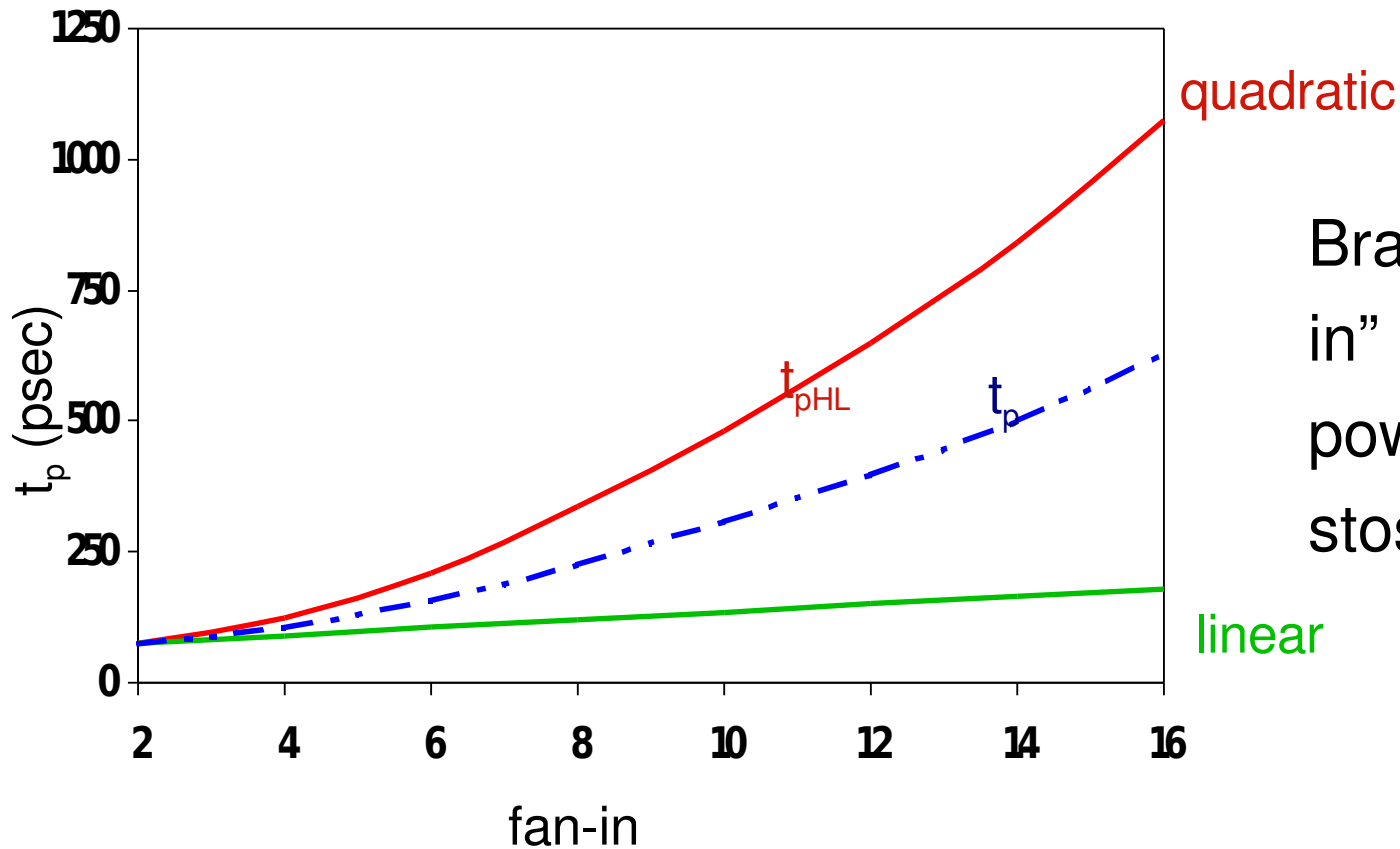
Model sieci RC

(Elmore delay)

$$t_{pHL} = 0.69 R_{eqn} (C_1 + 2C_2 + 3C_3 + 4C_L)$$

Opóźnienie rośnie gwałtownie w funkcji “fan-in” – **kwadratowo** w najgorszym przypadku.

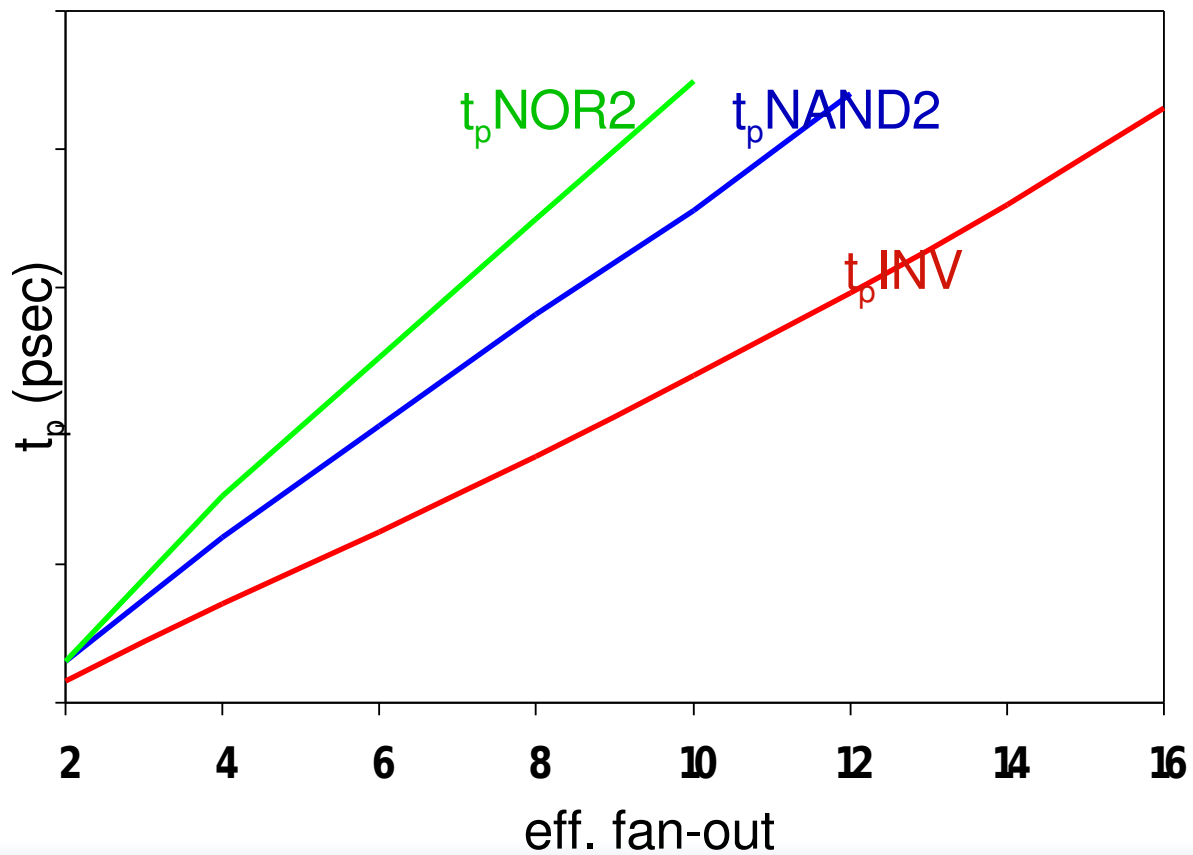
t_p w funkcji “Fan-In”



Bramki z “fan-in” > 4 nie powinny być stosowane.

linear

t_p w funkcji "Fan-Out"



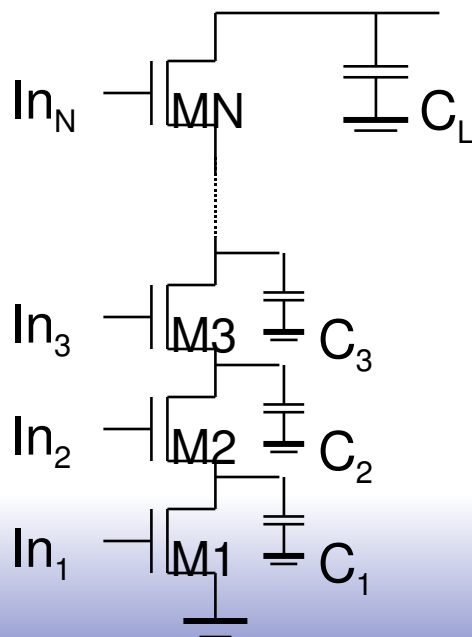
t_p w funkcji Fan-In i Fan-Out

- Fan-in: **kwadratowa** z powodu rosnącej rezystancji i pojemności
- Fan-out: każdy dodatkowy fan-out dodaje **dwie** pojemności bramkowe do C_L

$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

Szybkie bramki : *Techniki projektowania 1*

- Wymiarowanie tranzystorów
 - Dopóki dominuje pojemność “fan-out”
- Progresywne wymiarowanie



Distributed RC line

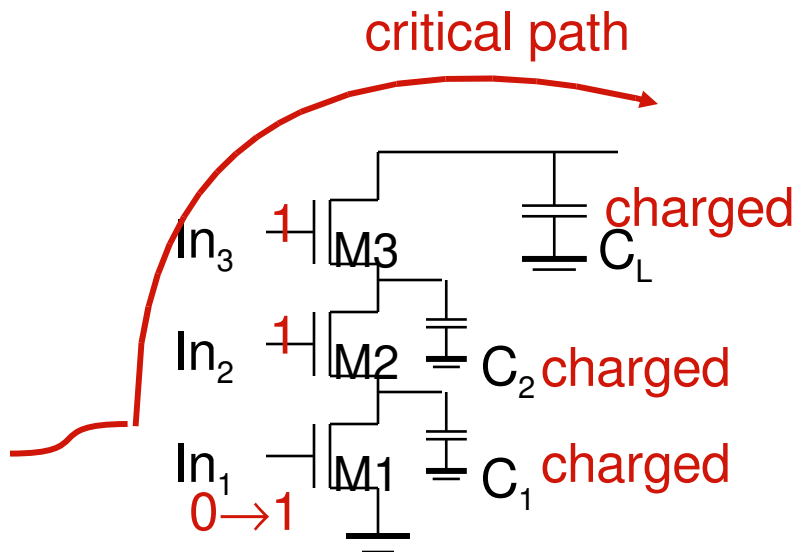
$M1 > M2 > M3 > \dots > MN$

(tranzystor najbliższy
wyjścia najmniejszy)

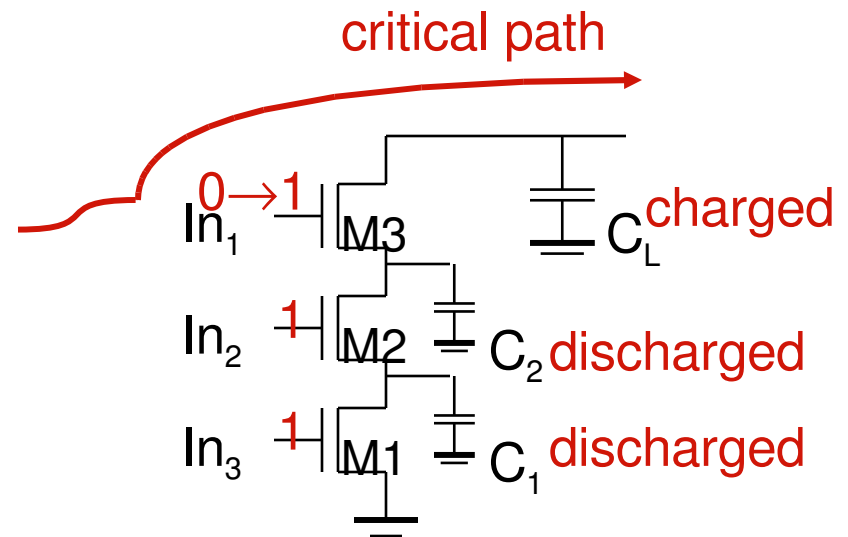
Może zredukować opóźnienie o
ponad 20%

Szybkie bramki : *Techniki projektowania 2*

□ Transistor ordering



delay determined by time to discharge C_L , C_1 and C_2

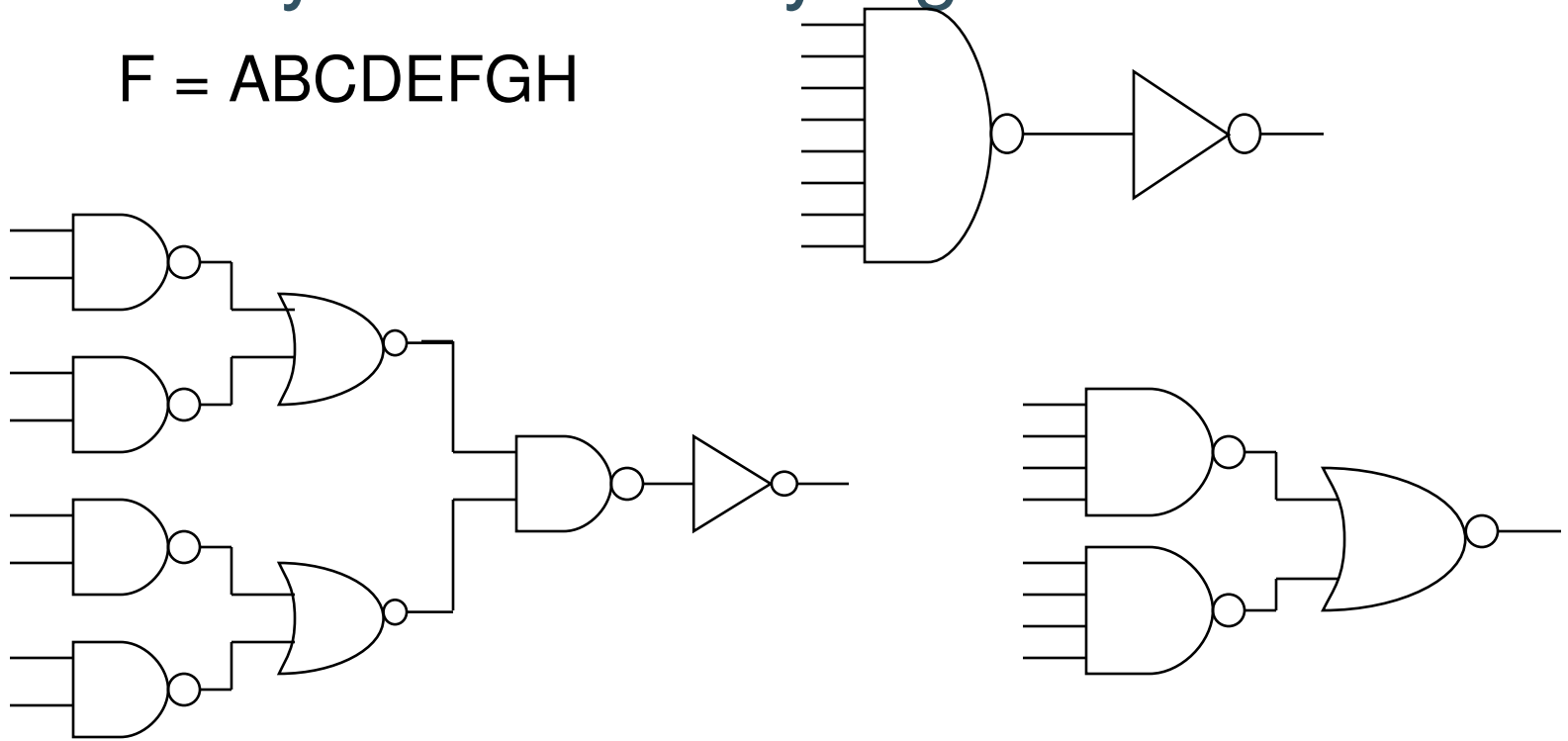


delay determined by time to discharge C_L

Szybkie bramki : *Techniki projektowania 3*

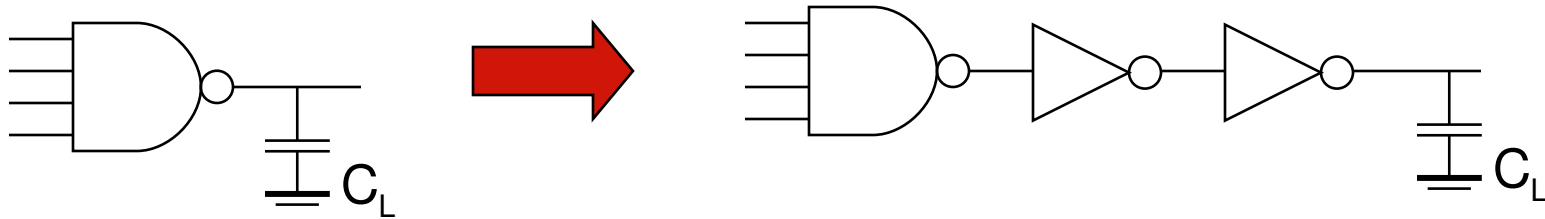
- Alternatywne struktury logiczne

$$F = ABCDEFGH$$



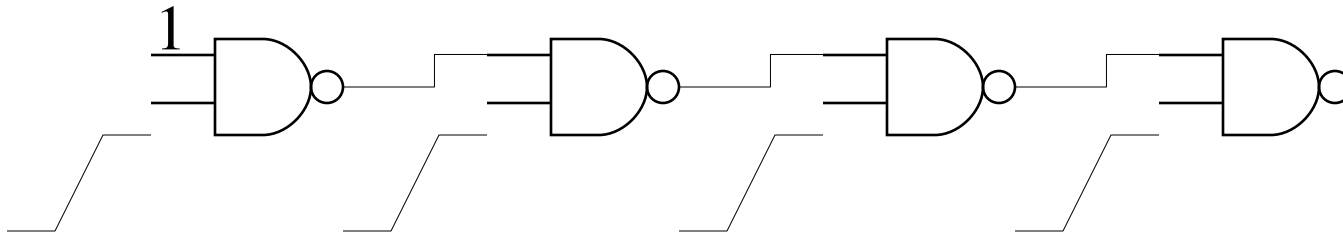
Szybkie bramki : *Techniki projektowania 4*

- Izolacja fan-in od fan-out za pomocą bufora



Glitch (hazard)

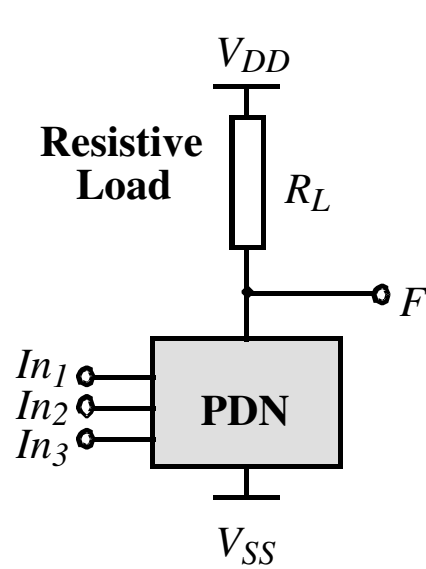
- Skończony czas propagacji powoduje “glitch-e”



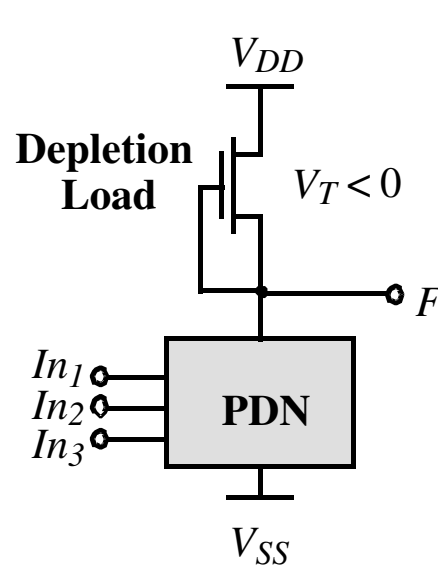


Ratioed Logic

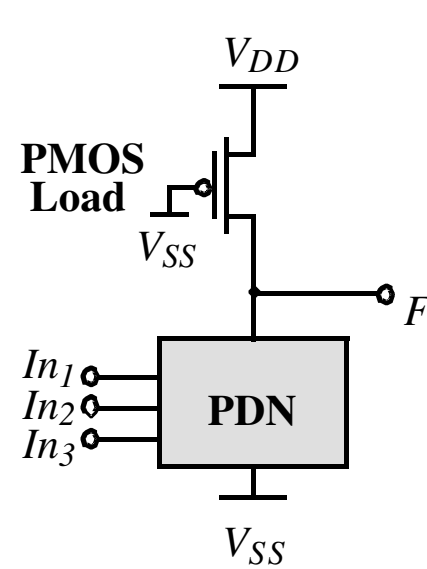
Ratioed Logic



(a) resistive load



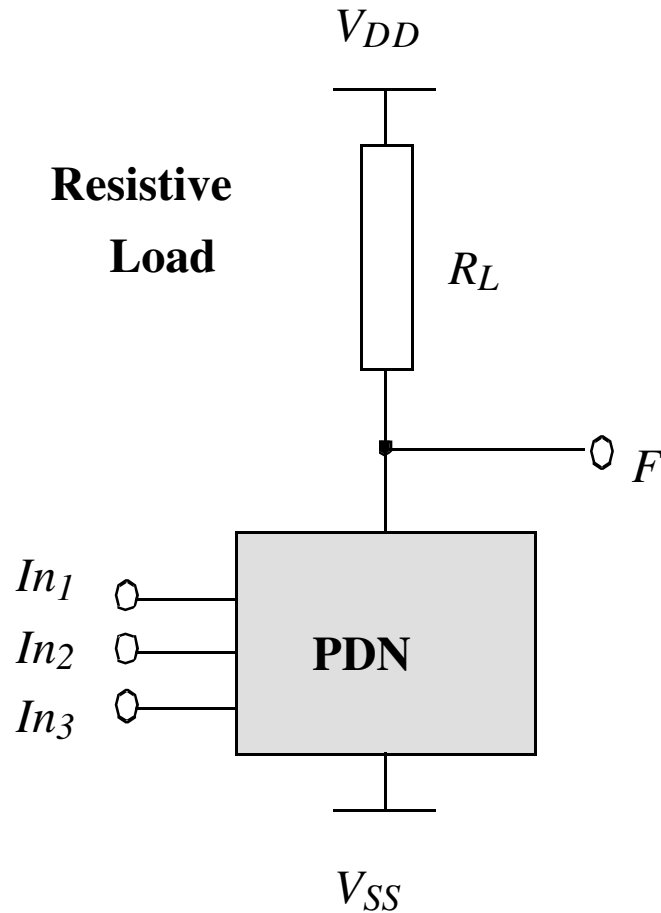
(b) depletion load NMOS



(c) pseudo-NMOS

Goal: to reduce the number of devices over complementary CMOS

Ratioed Logic

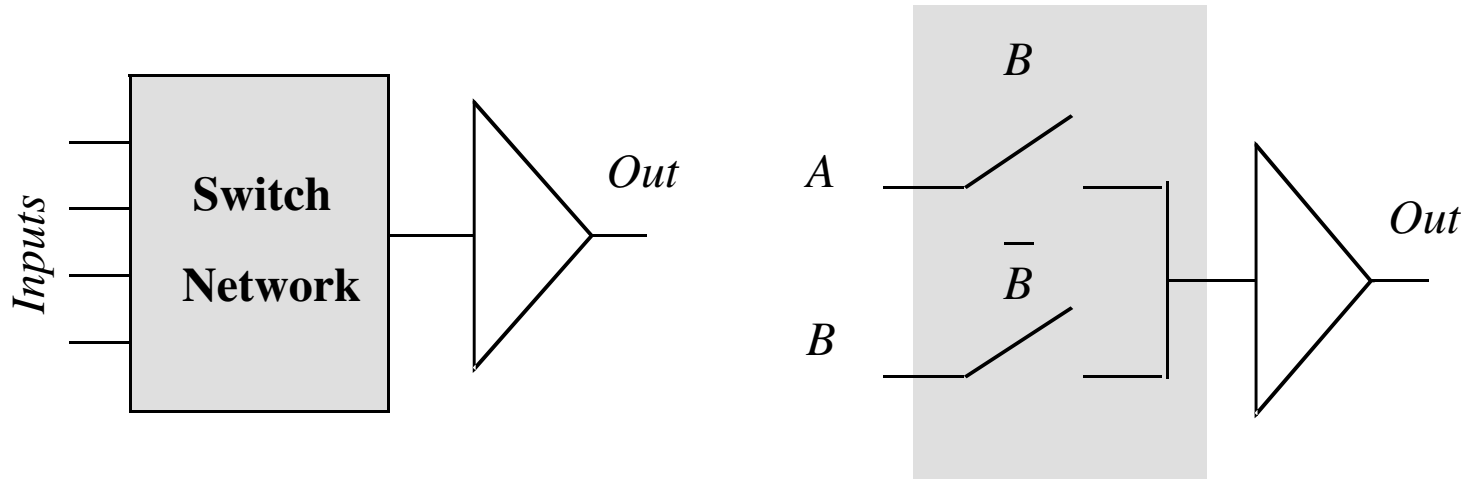


- **N transistors + Load**
- $V_{OH} = V_{DD}$
- $V_{OL} = \frac{R_{PN}}{R_{PN} + R_L}$
- **Assymetrical response**
- **Static power consumption**
- $t_{pL} = 0.69 R_L C_L$



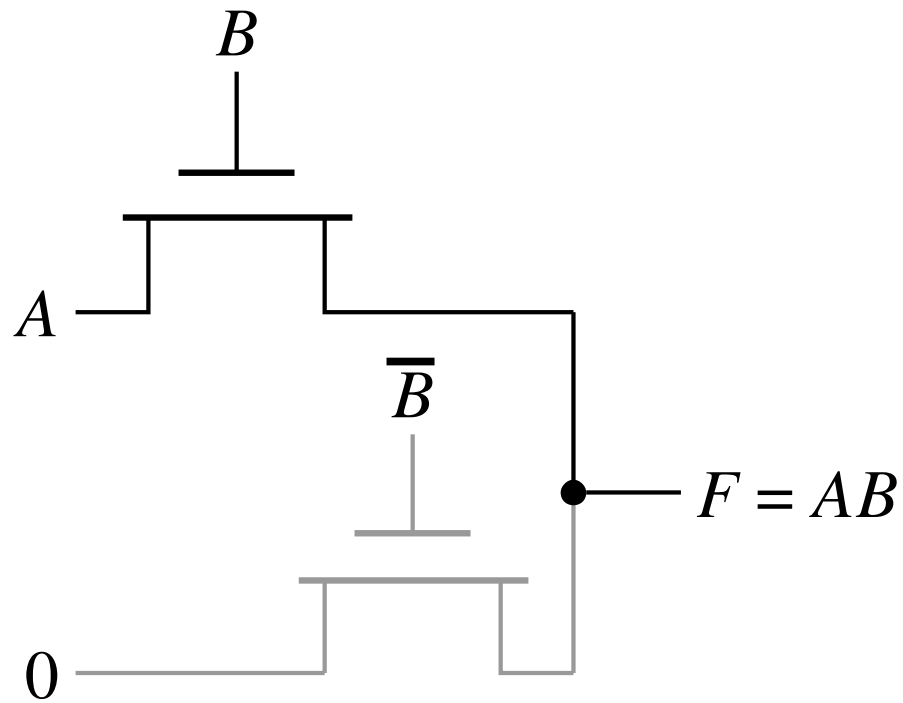
Pass- Transistor Logic

Logika Pass-Transistor

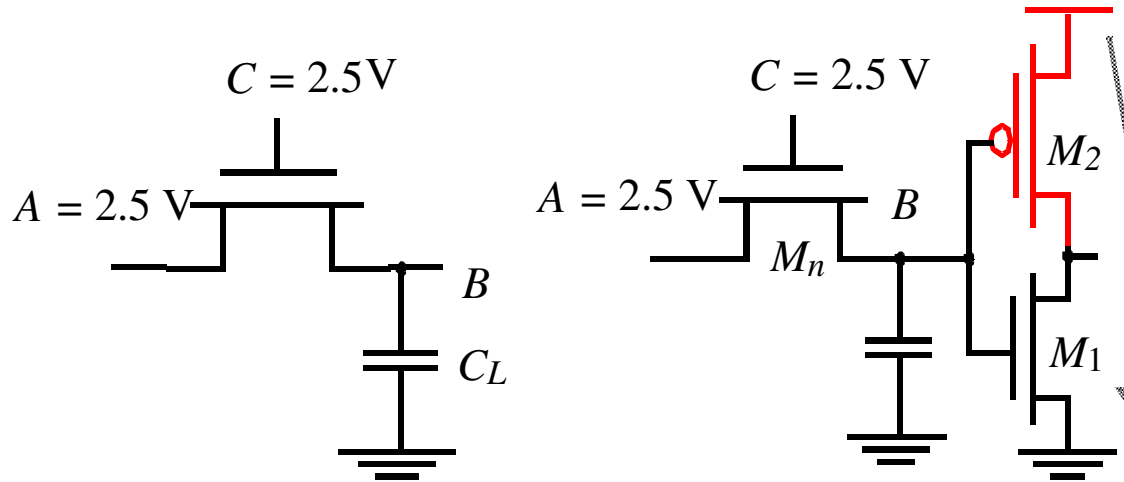


- **N transistors**
- **No static consumption**

Przykład: bramka AND



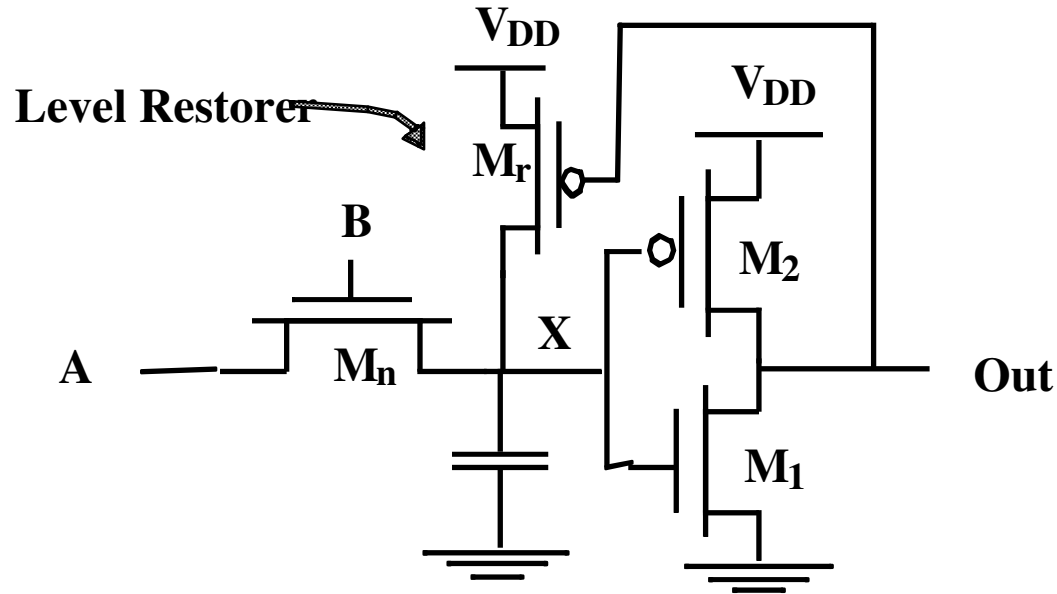
Klucz tylko-NMOS



V_B nie podciąga się do 2.5 V , ale $2.5\text{ V} - V_{TN}$

Obniżone napięcie powoduje statyczny pobór mocy

Logika tylko-NMOS: Tranzystor przywracający poziom



- Własności: Pełny zakres, ale większa pojemność i komplikacja

Komplementarna logika

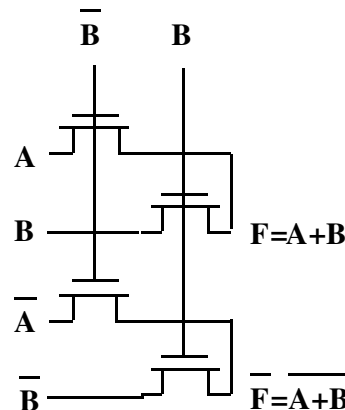
Pass-Transistor



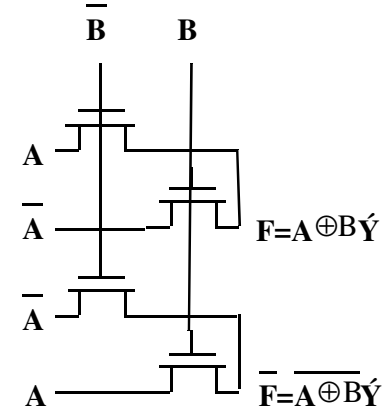
(a)



AND/NAND



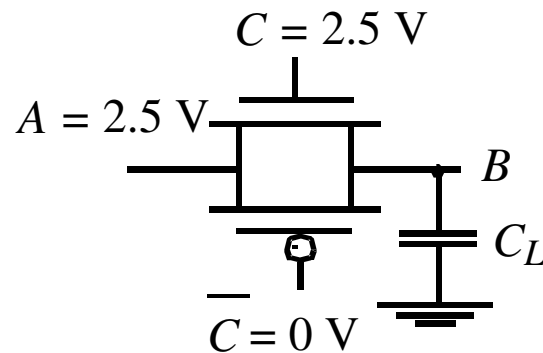
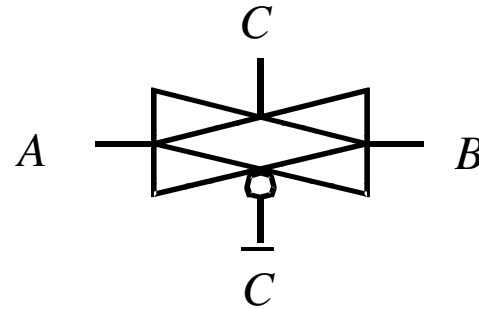
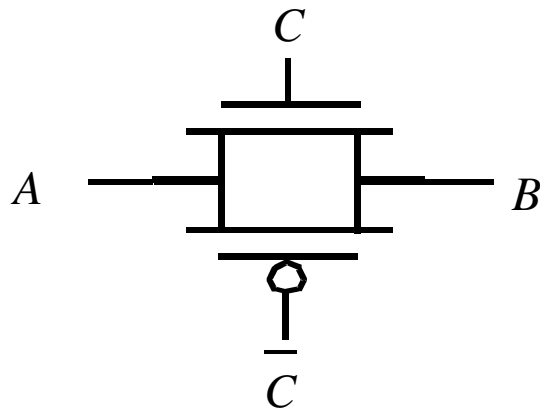
OR/NOR



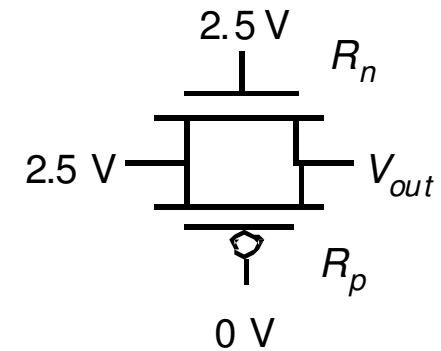
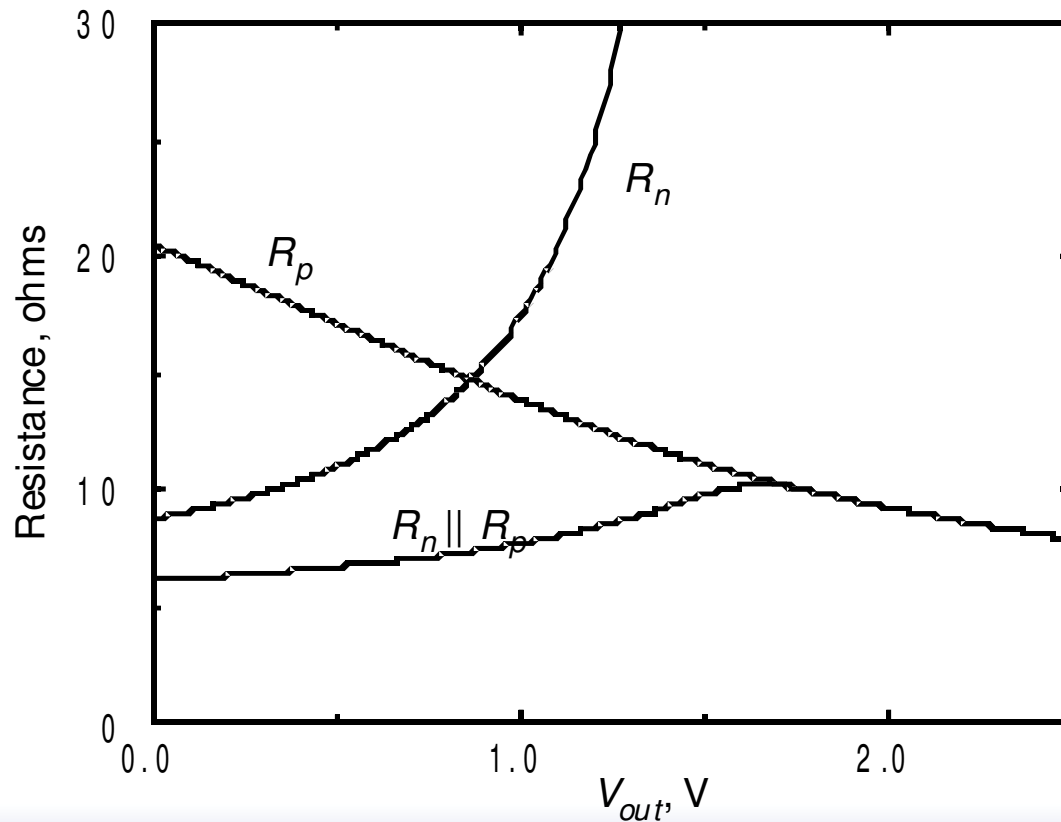
EXOR/NEXOR

(b)

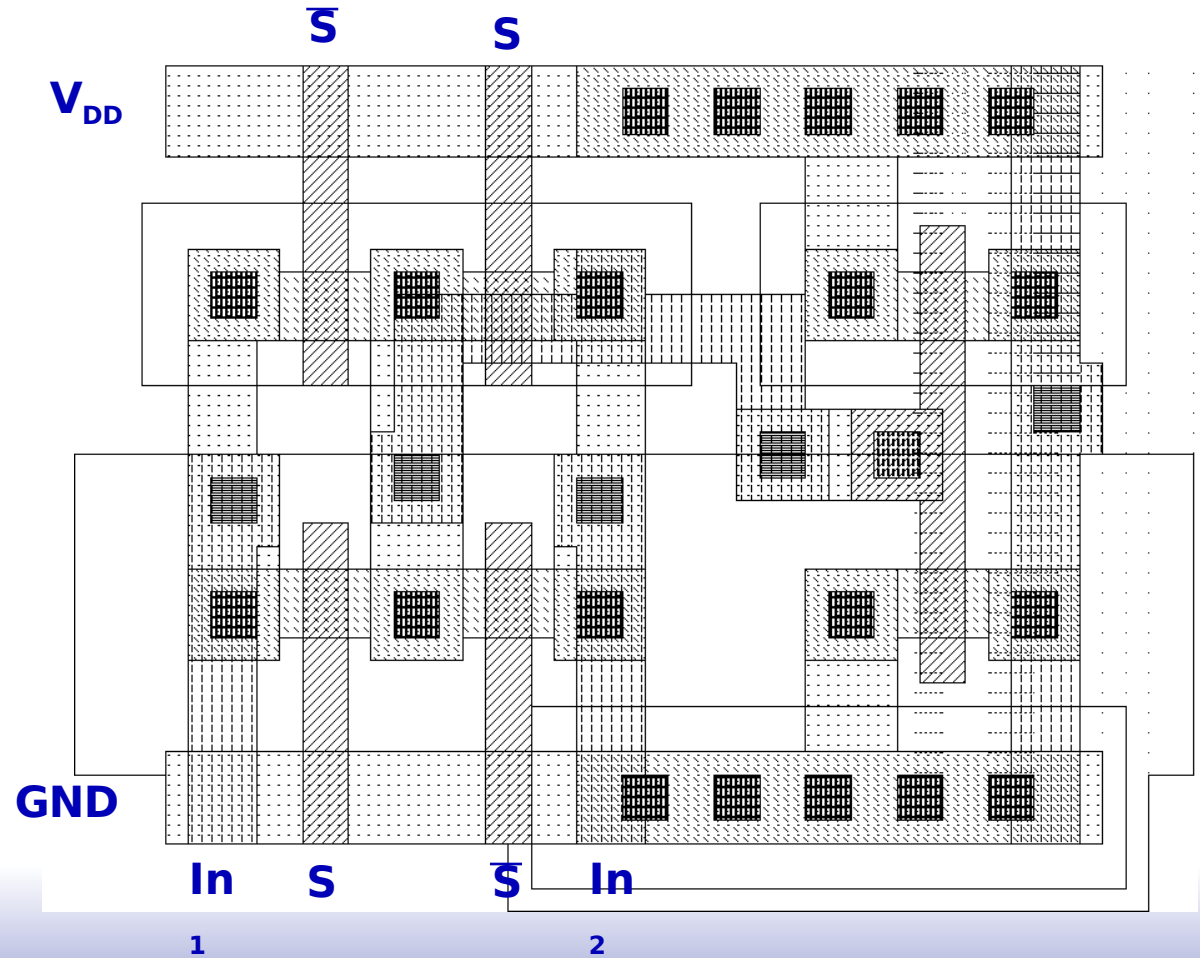
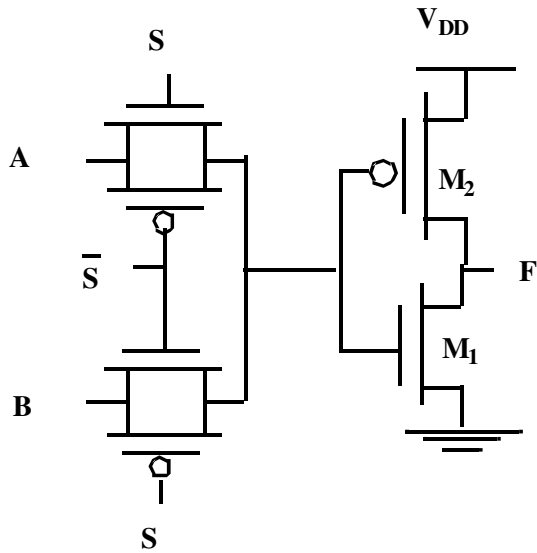
Logika: Transmission Gate



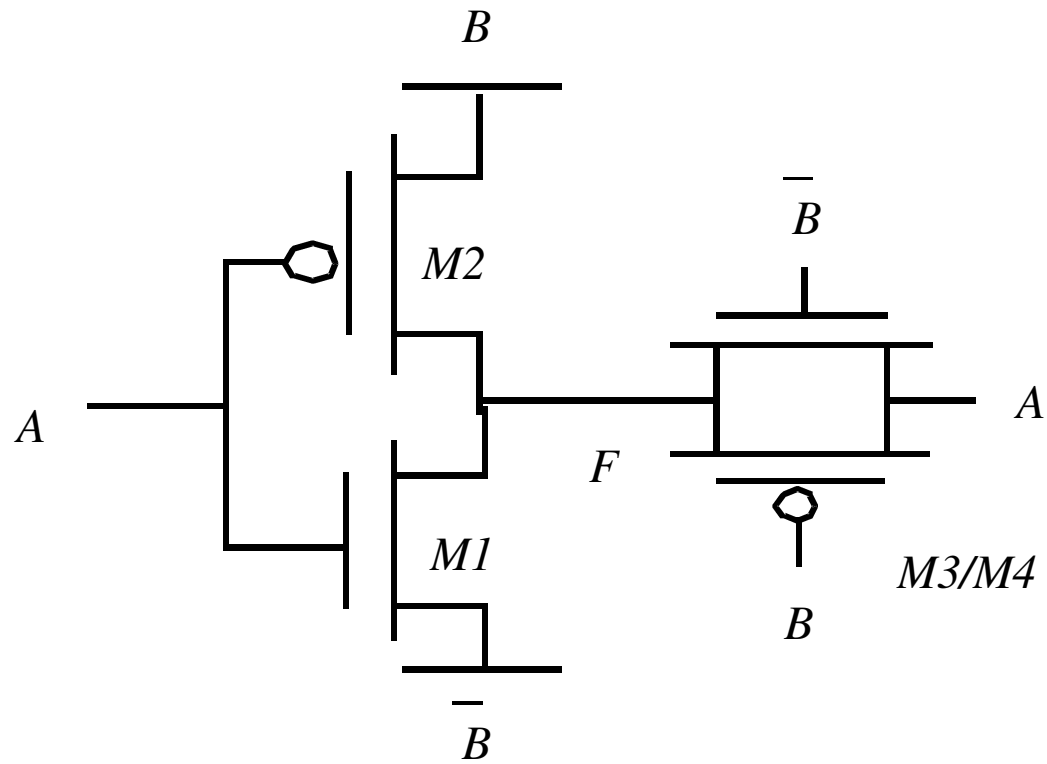
Rezystancja bramki transmisyjnej



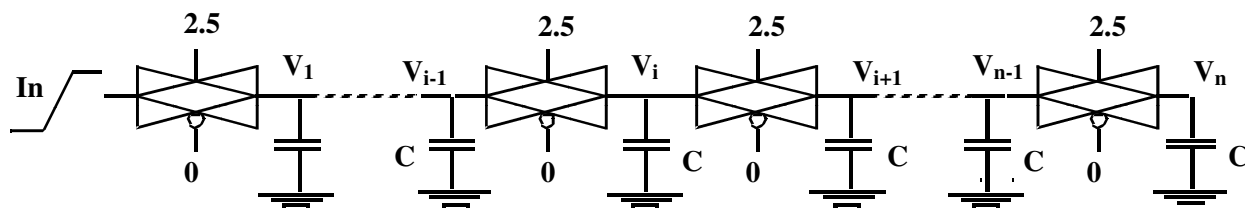
Transmission Gate Multiplexer



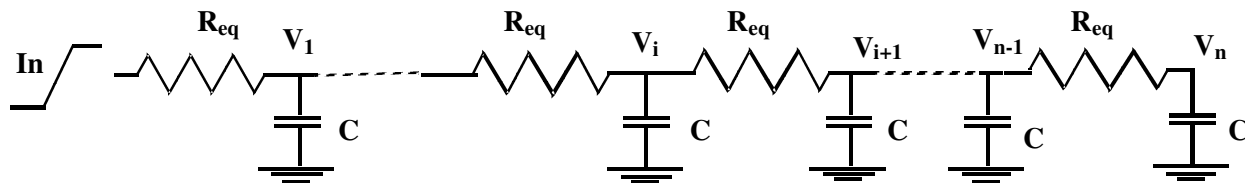
Transmission Gate XOR



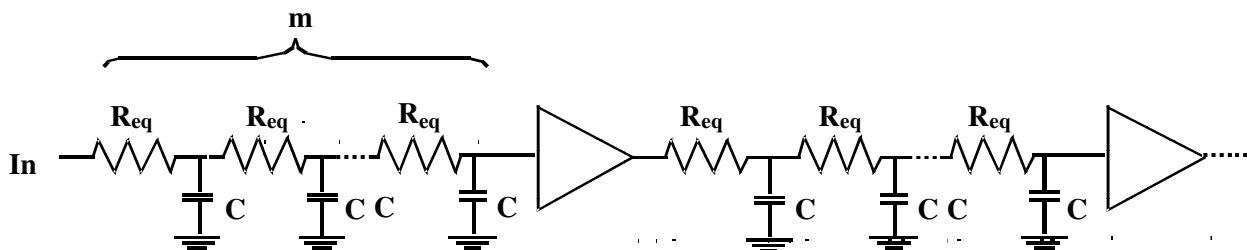
Opóźnienie w sieci bramek transmisyjnych



(a)

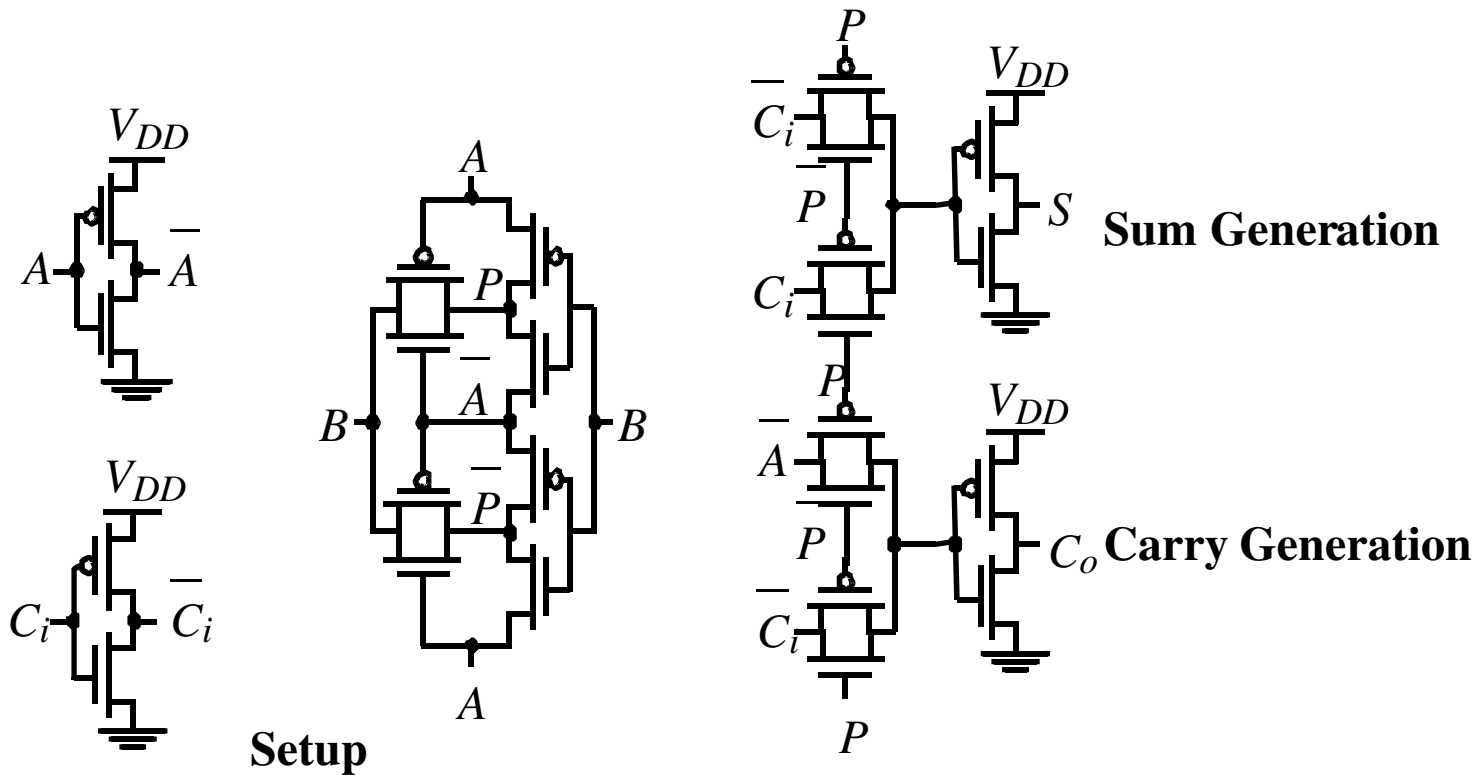


(b)



(c)

Transmission Gate Full Adder



Similar delays for sum and carry

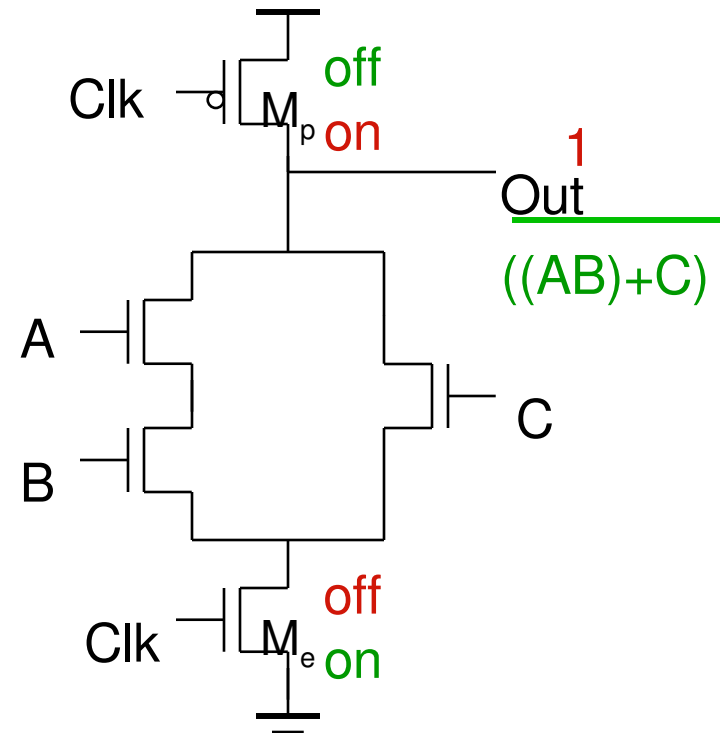
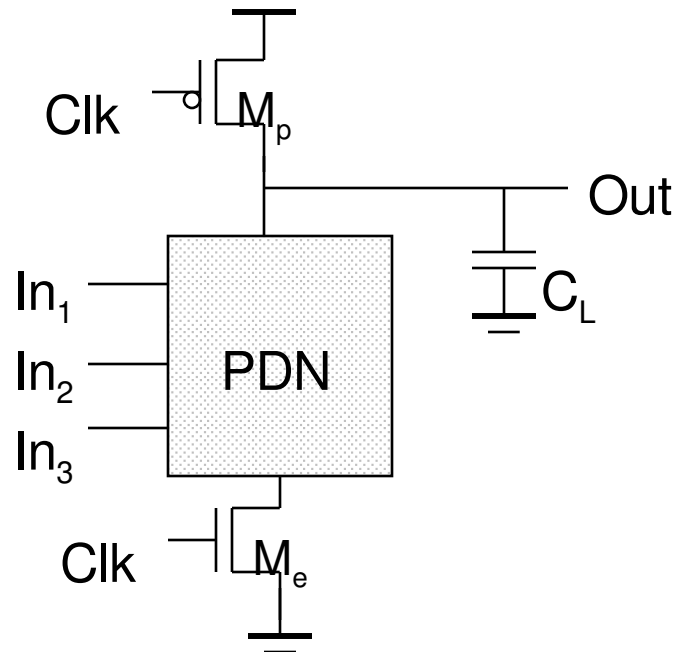


Dynamic Logic

Logika dynamiczna CMOS

- W **statycznej** logice w każdej chwili (poza przełączaniem) wyjście jest podłączone do GND lub V_{DD} przez małą rezystancję.
 - fan-in dla n potrzebuje $2n$ (n N-type + n P-type) tranzystorów
- **Dynamiczna** logika polega na tymczasowym przechowywaniu sygnału na pojemności wysokoimpedancyjnego węzła.
 - Wymaga dla $n + 2$ ($n+1$ N-type + 1 P-type) tranzystorów

Bramka dynamiczna



Praca dwufazowa

Precharge (Clk = 0)

Evaluate (Clk = 1)

Własności bramek dynamicznych

- ❑ Po rozładowaniu bramki dynamicznej, nie może być ona naładowana aż do następnej fazy “precharge”.
- ❑ Wejścia bramki mogą zmienić się **najwyżej** jeden raz podczas fazy “evaluation”.
- ❑ Wyjście może być w stanie wysokiej impedancji podczas i po fazie “evaluation” (PDN off), stan jest pamiętany na C_L

Własności bramek dynamicznych...

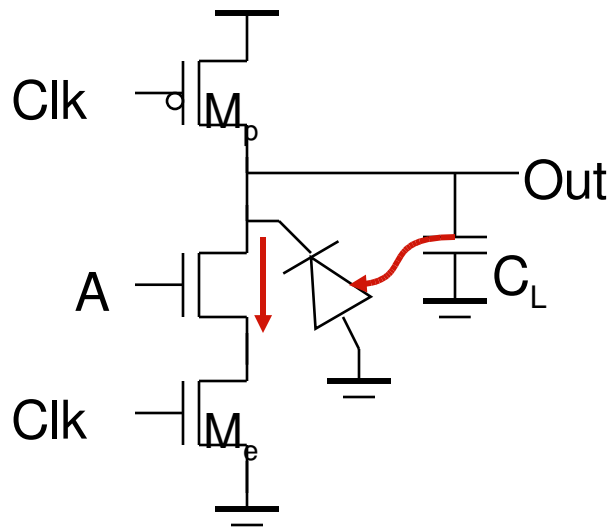
- ❑ Logika implementowana jest tylko przez PDN
 - ilość tranzystorów $N + 2$ (versus $2N$ dla static CMOS)
- ❑ Full swing outputs ($V_{OL} = \text{GND}$ and $V_{OH} = V_{DD}$)
- ❑ Non-ratioed - wymiarowanie nie wpływa na poziomy logiczne
- ❑ Szybsze przełączanie
 - zmniejszona pojemność obciążenia C_{in}
 - Zmniejszona pojemność obciążenia C_{out}
 - brak I_{sc} , zatem cały prąd z PDN rozładowuje C_L

Własności bramek dynamicznych...

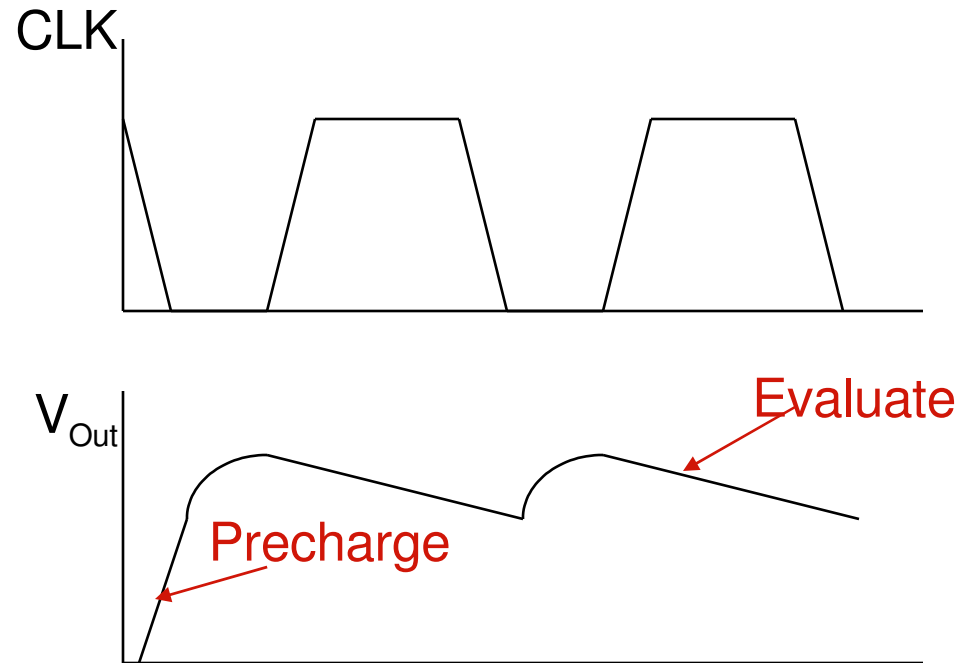
- ❑ Całkowity pobór mocy zwykle **większy** niż w static CMOS
 - brak glitching
 - **Większa aktywność przełączania**
 - **extra load zegara Clk**
- ❑ PDN zaczyna pracować gdy sygnał wejściowy przekroczy V_{Tn} , zatem V_M , V_{IH} i V_{IL} są równe V_{Tn}
 - Mniejszy margines szumu (NM_L)
- ❑ Wymaga faz precharge/evaluate

Problemy Logiki dynamicznej

1: Charge Leakage

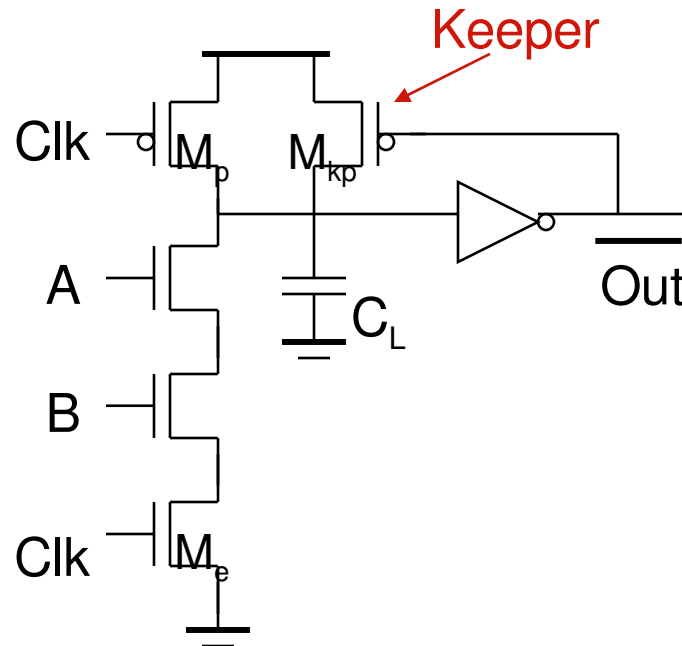


Leakage sources



Dominant component is subthreshold current

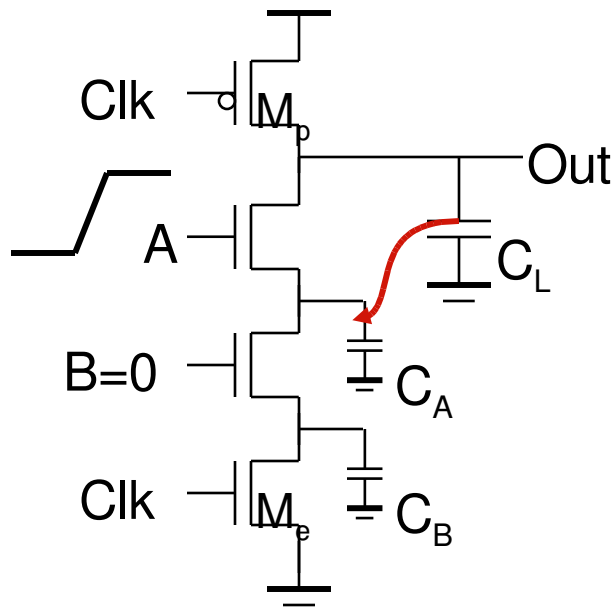
Rozwiązanie Charge Leakage



Same approach as level restorer for pass-transistor logic

Problemy Logiki dynamicznej

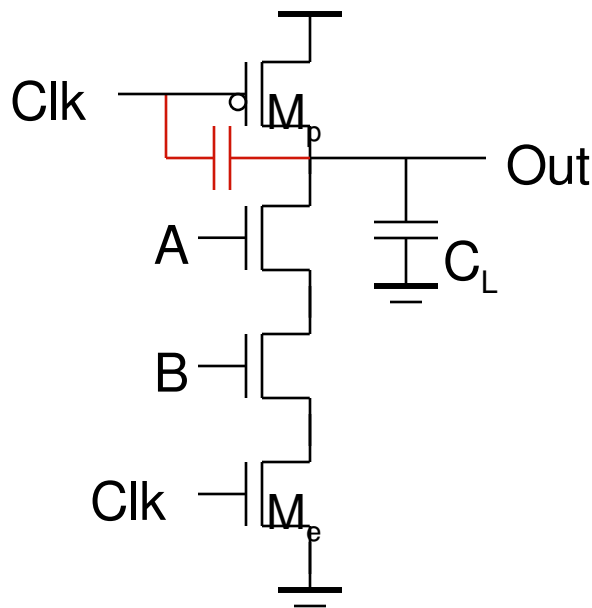
2: Charge Sharing



Charge stored originally on C_L is redistributed (shared) over C_L and C_A leading to reduced robustness

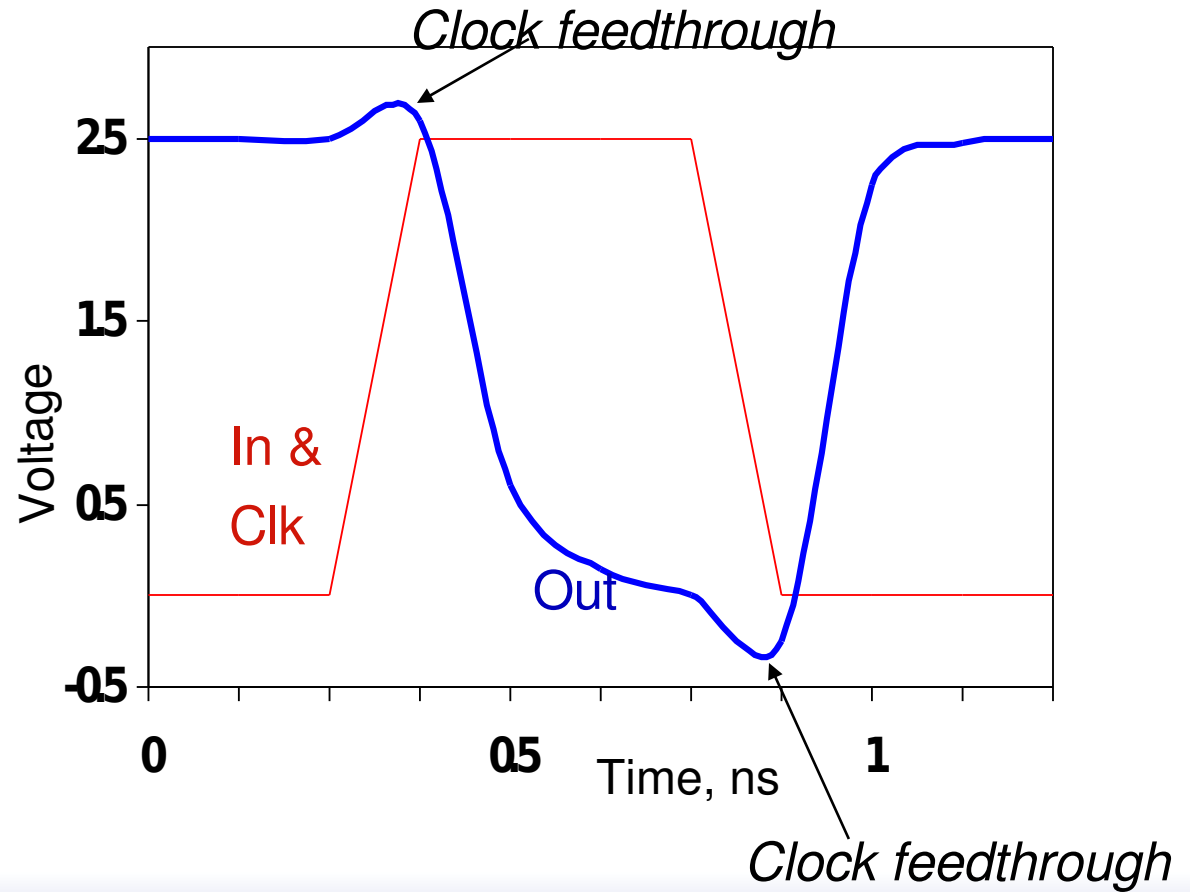
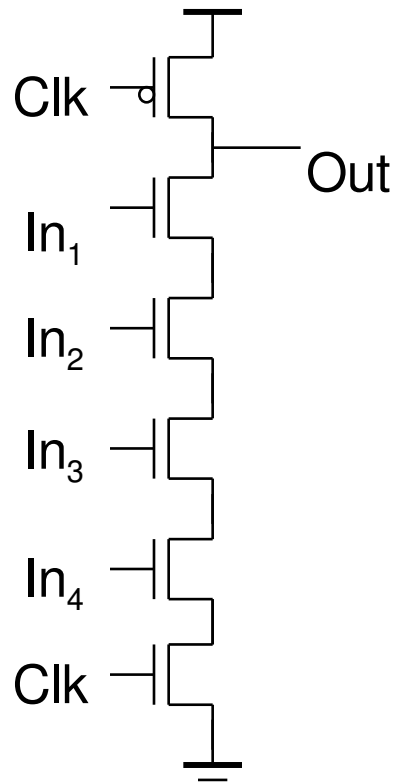
Problemy Logiki dynamicznej

3: Clock Feedthrough

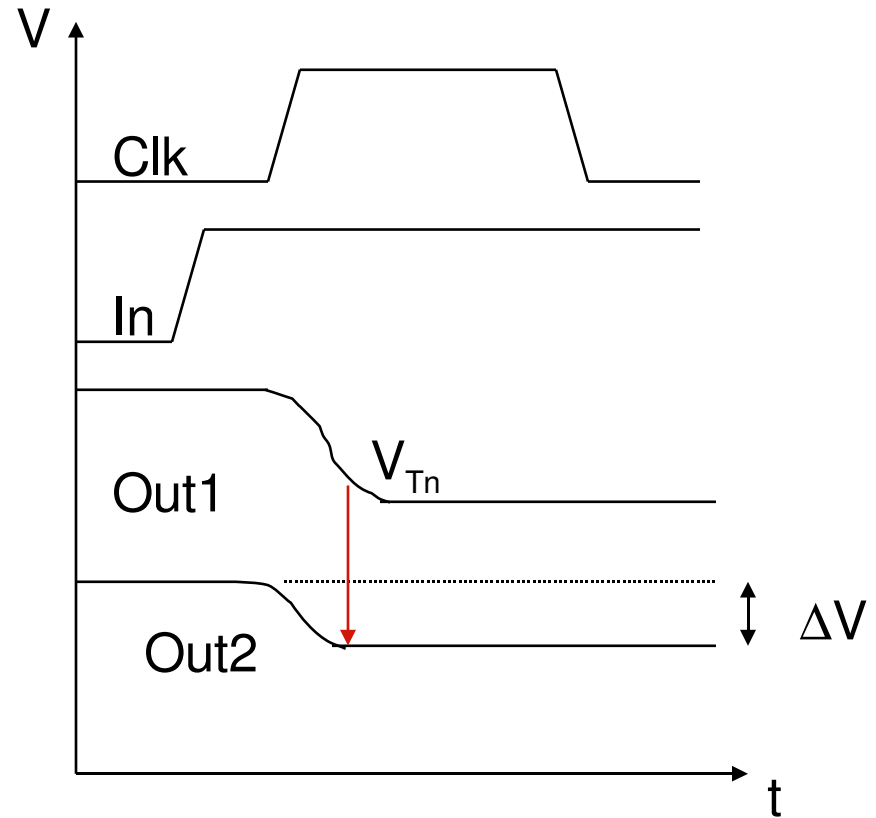
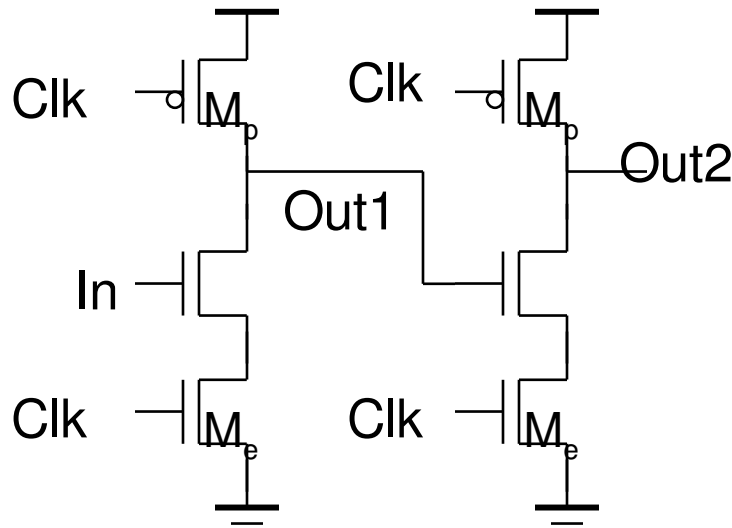


Coupling between Out and Clk input of the precharge device due to the gate to drain capacitance. So voltage of Out can rise above V_{DD} . The fast rising (and falling edges) of the clock **couple** to Out.

Clock Feedthrough

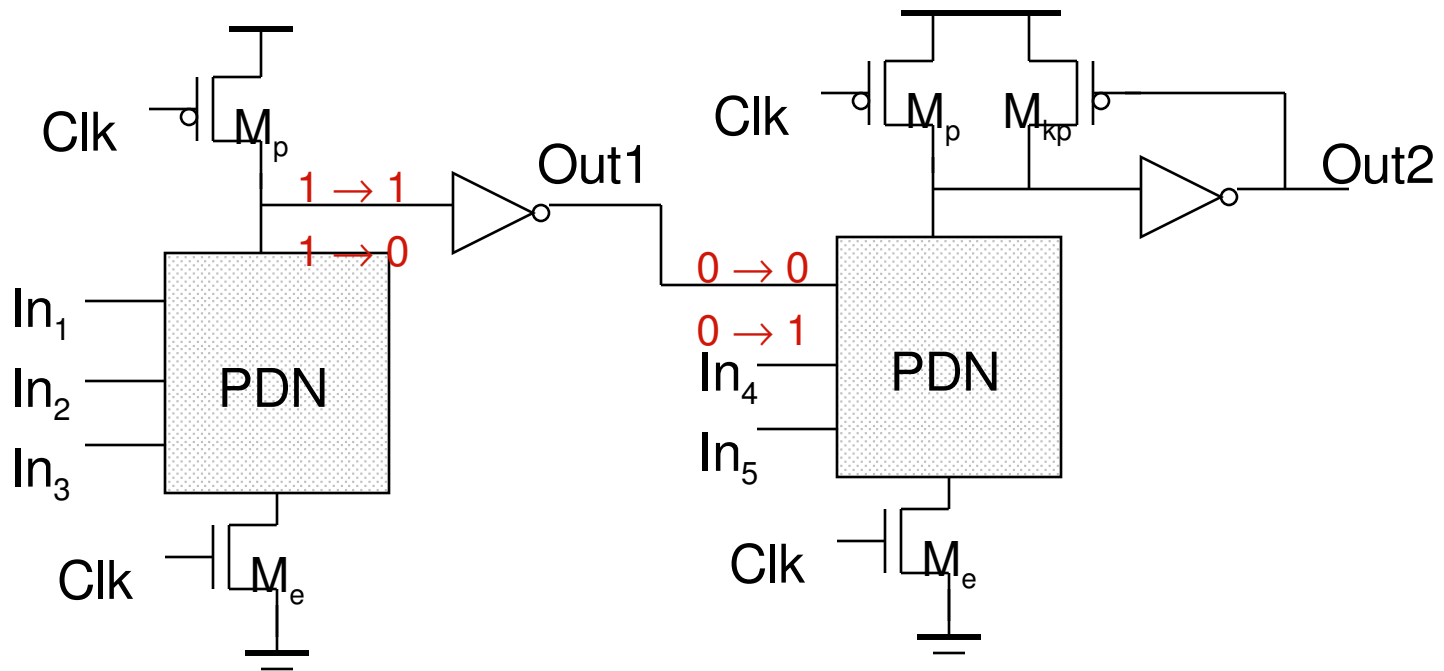


Łączenie bramek dynamicznych

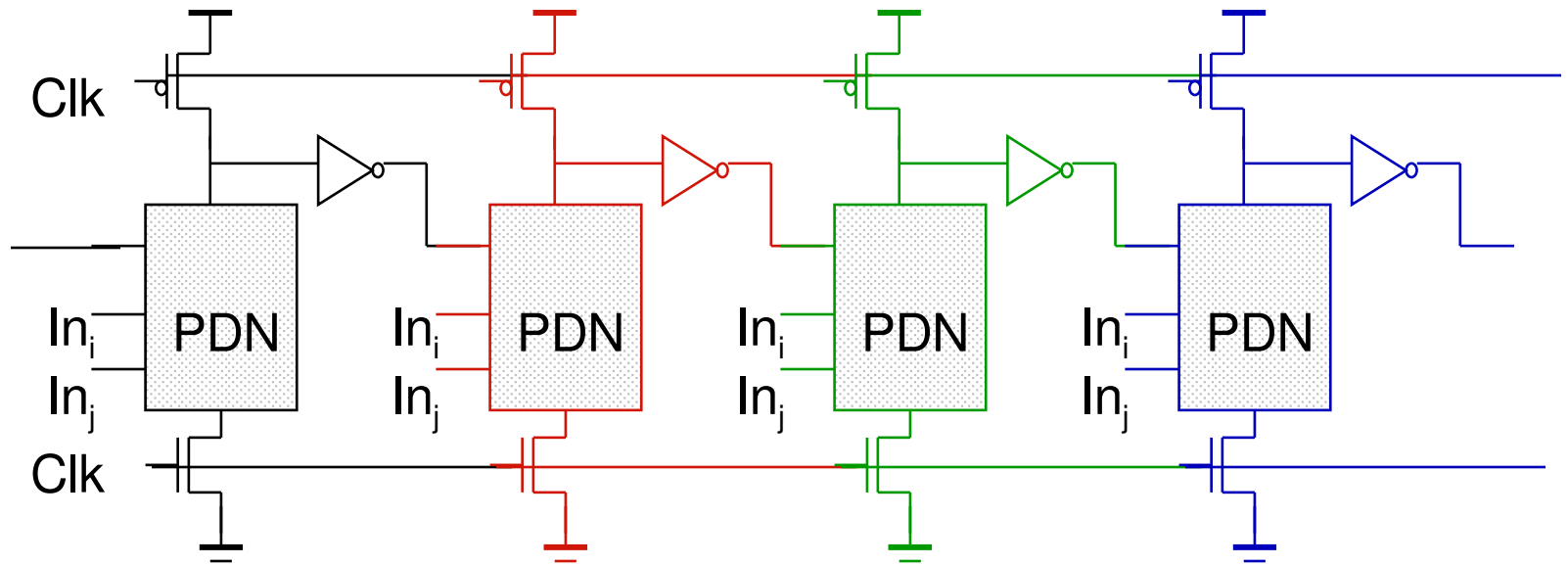


Tylko zmiany 0 → 1 dozwolone na wejściach!

Logika Domino



Dlaczego Domino?

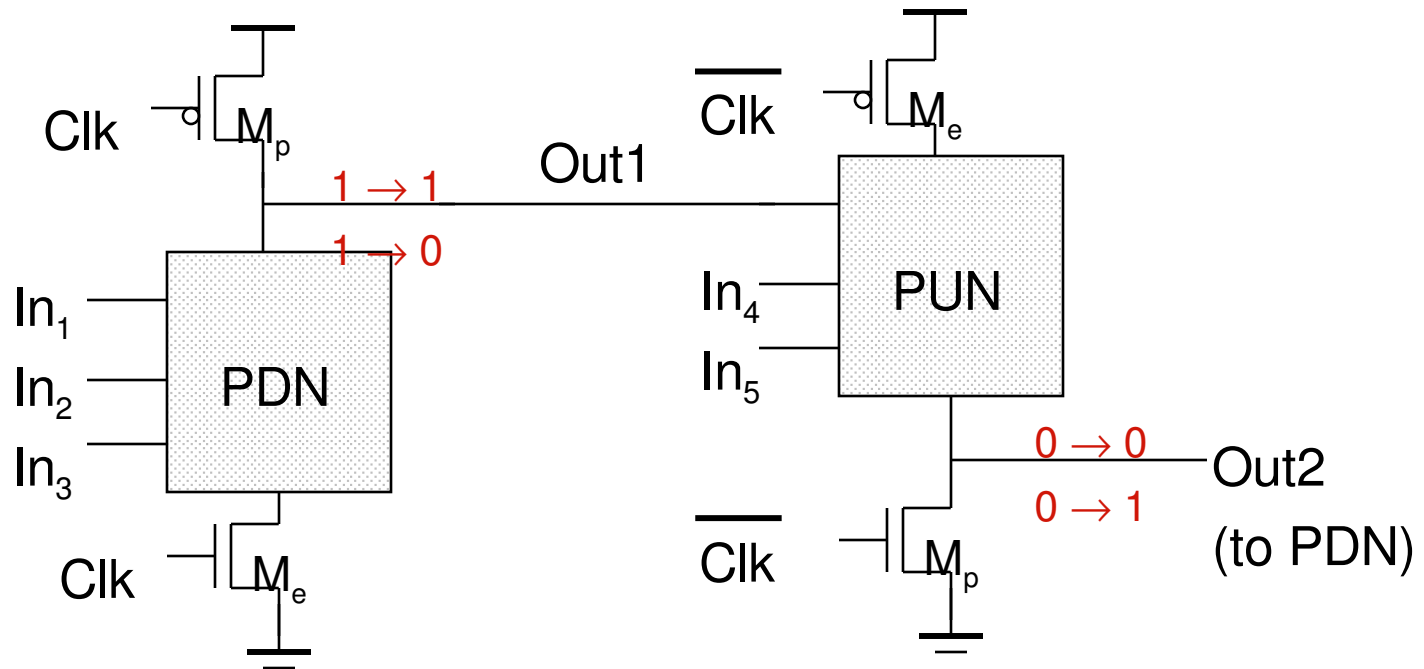


Like falling dominos!

Własności logiki Domino

- ❑ Tylko logika nieodwracająca
- ❑ Bardzo szybka
 - Tylko przejścia L-H
 - Zredukowana pojemność wejściowa

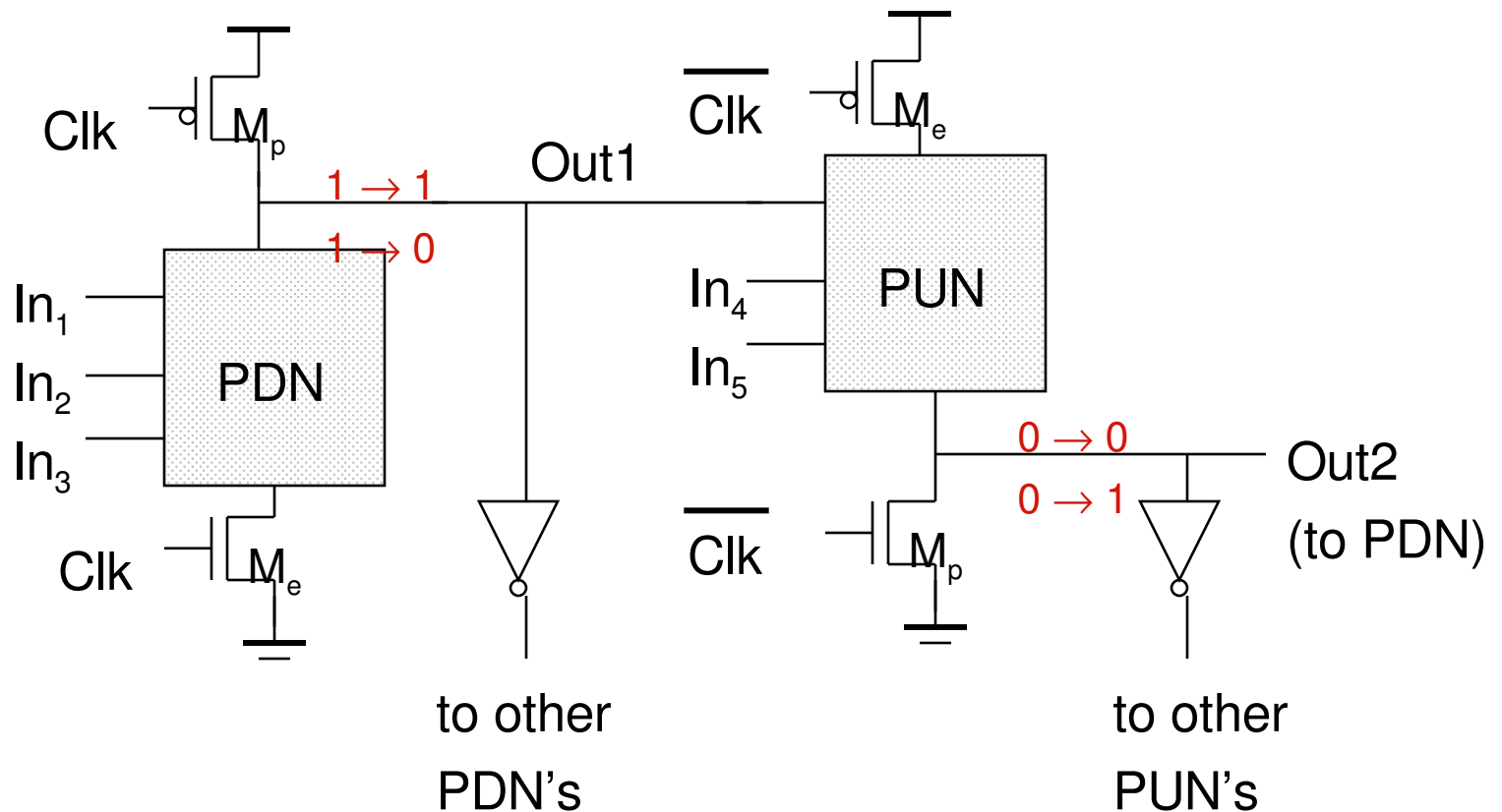
Logika np-CMOS



Tylko zmiany $0 \rightarrow 1$ dozwolone na wejściach PDN

Tylko zmiany $1 \rightarrow 0$ dozwolone na wejściach PUN

NORA Logic



WARNING: Very sensitive to noise!