



# ***Digital Integrated Circuits A Design Perspective***

Jan M. Rabaey

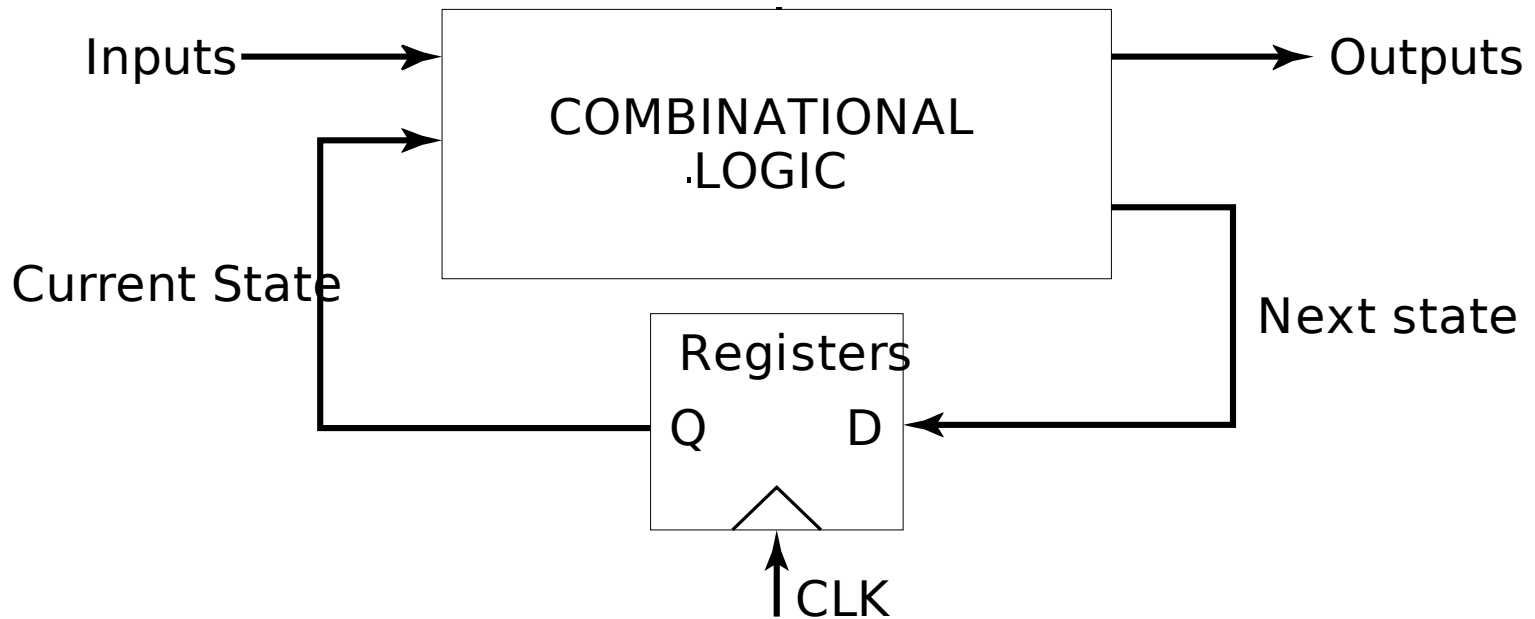
Anantha Chandrakasan

Borivoje Nikolic

## **Designing Sequential Logic Circuits**

*November 2002*

# Logika sekwencyjna



## 2 mechanizmy zapamiętywania

- dodatnie sprzężenie zwrotne (pamięć statyczna) - logika statyczna
- gromadzenie ładunku (pamięć dynamiczna) – logika dynamiczna

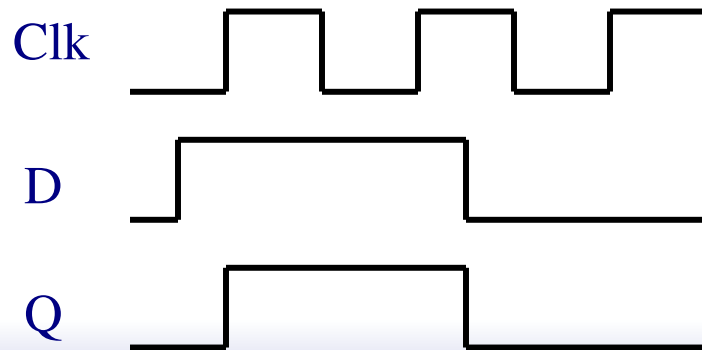
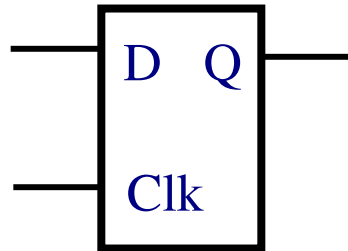
# ***Konwencje nazewnictwa elementów z pamięcią***

- Jedna z konwencji:
  - zatrask (“latch”) jest **aktywny poziomem**
  - przerzutnik (“flip-flop”) jest **aktywny zboczem**
- Jest wiele innych konwencji...
  - I związanego z tym zamieszania

# Latch versus Flip-flop

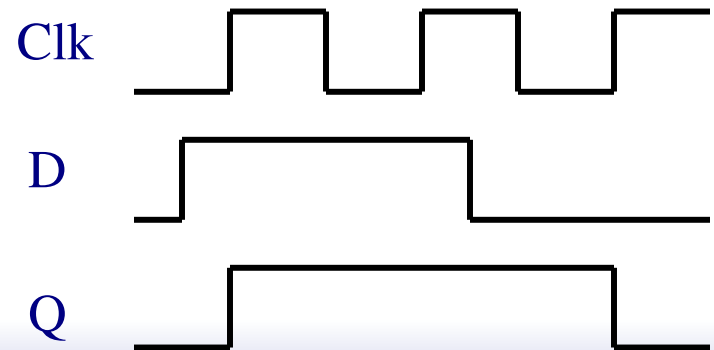
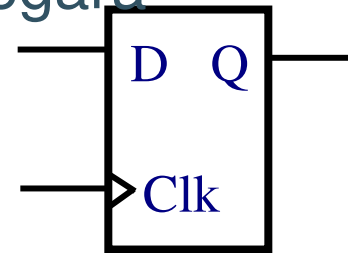
## □ Latch

zapamiętuje dane na  
poziomie (wybranym)  
zegara



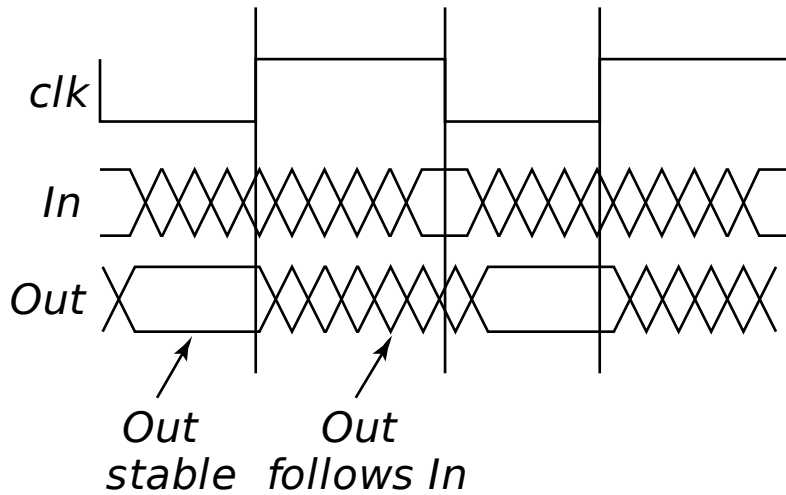
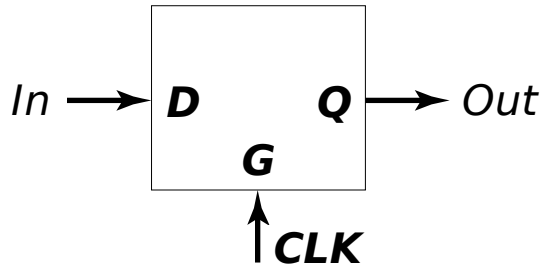
## □ Flip-flop

zapamiętuje dane  
na zboczu (wybranym)  
zegara

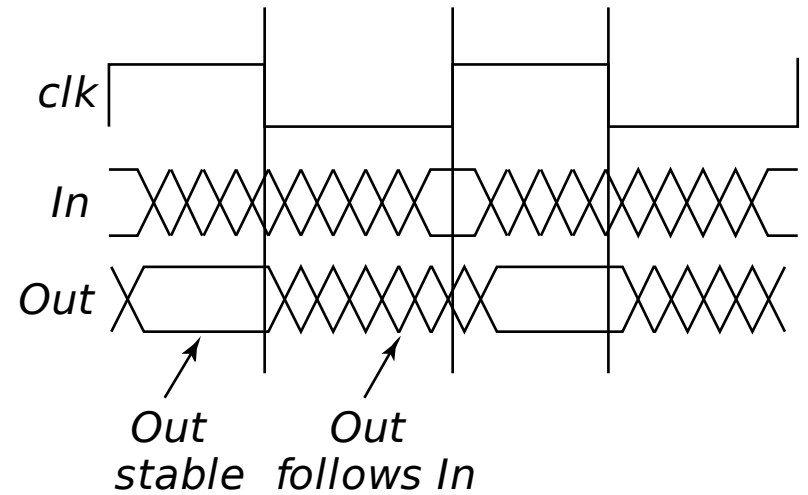
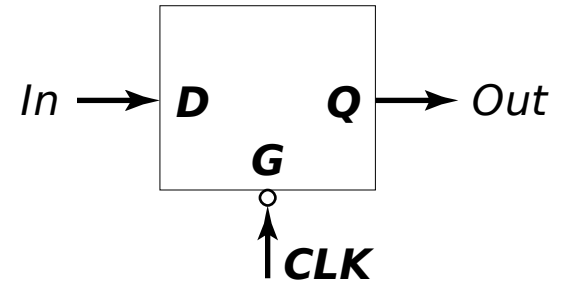


# Latch

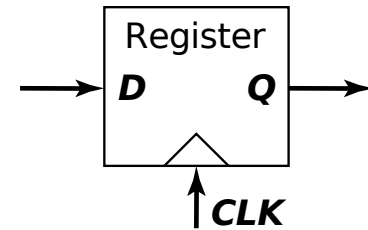
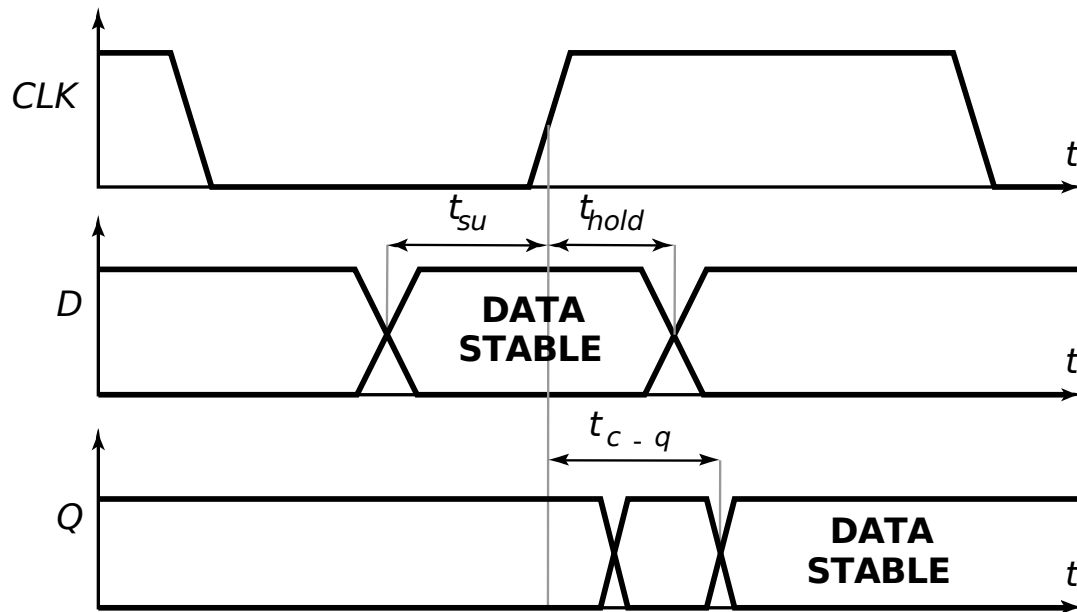
**Positive Latch**



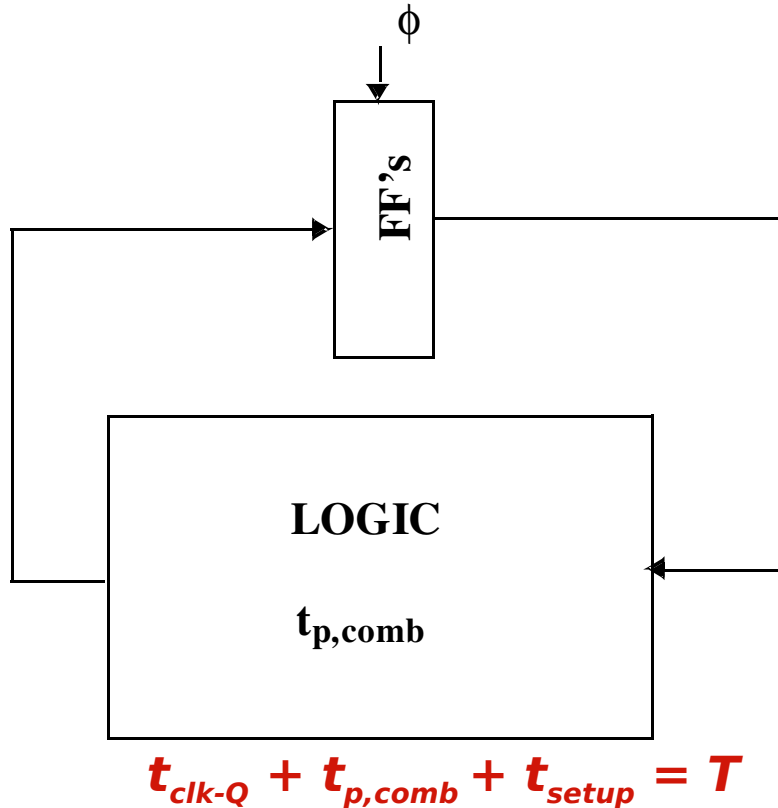
**Negative Latch**



# Parametry czasowe



# ***Maksymalna częstotliwość zegara***



# ***Pamięć statyczna vs dynamiczna***

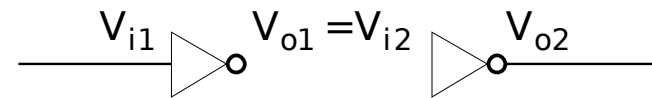
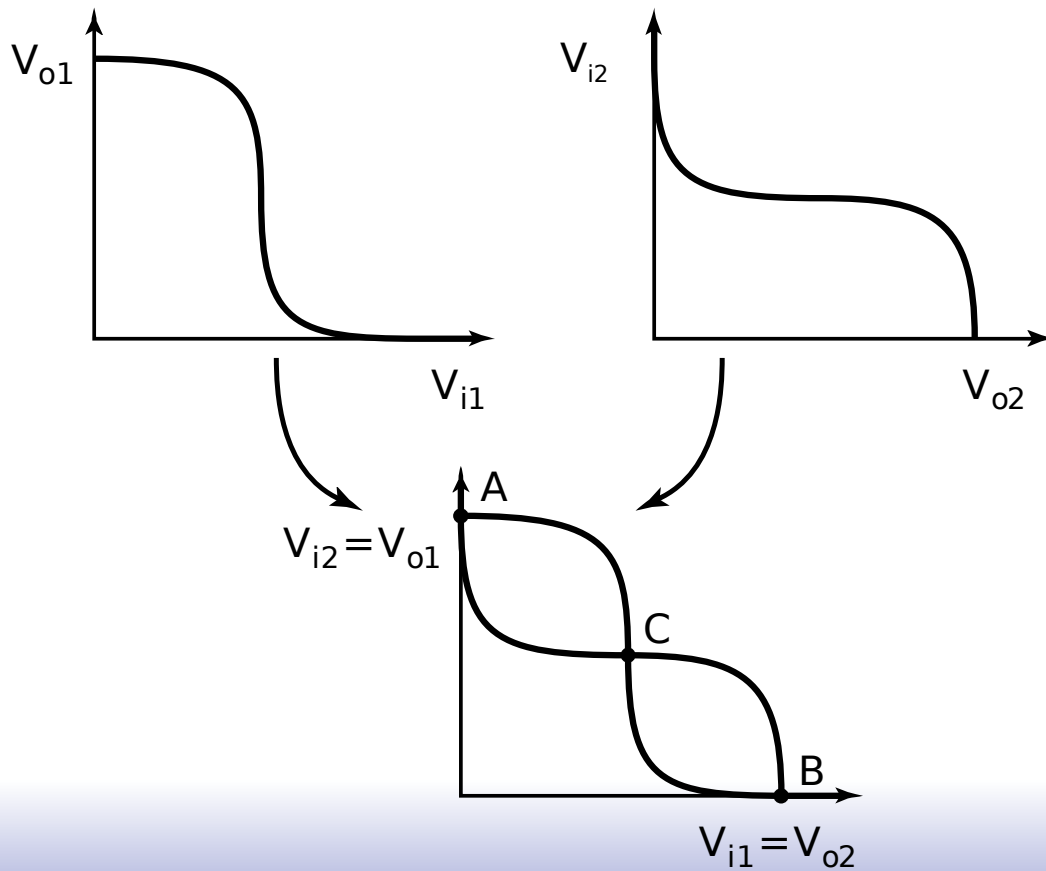
## □ Pamięć statyczna

- Utrzymuje stan przy włączonym zasilaniu (poprzez zwarcie do linii zasilających)
- Dodatnie sprzężenie zwrotne
- Użyteczna przy nieczęstych zmianach

## □ Pamięć dynamiczna

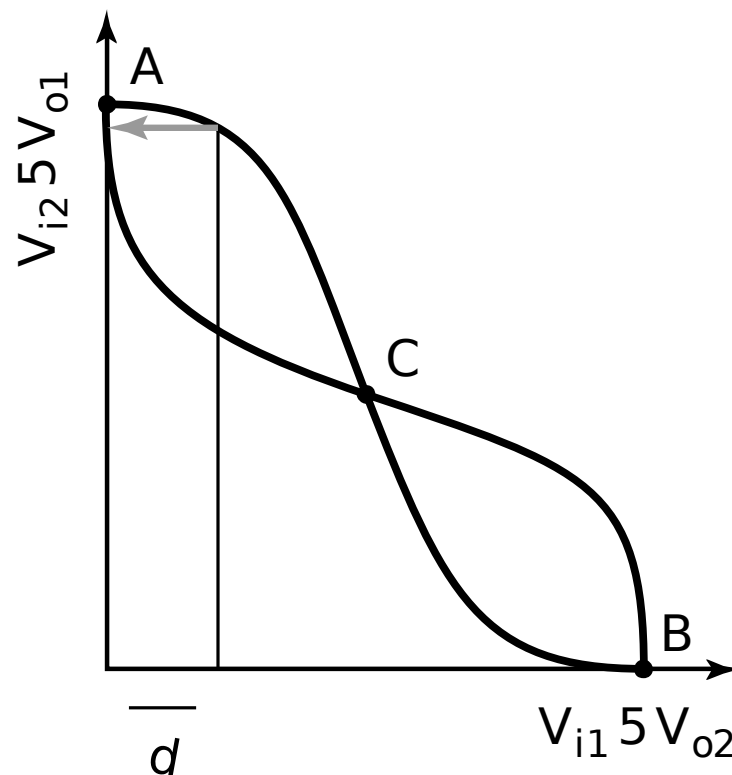
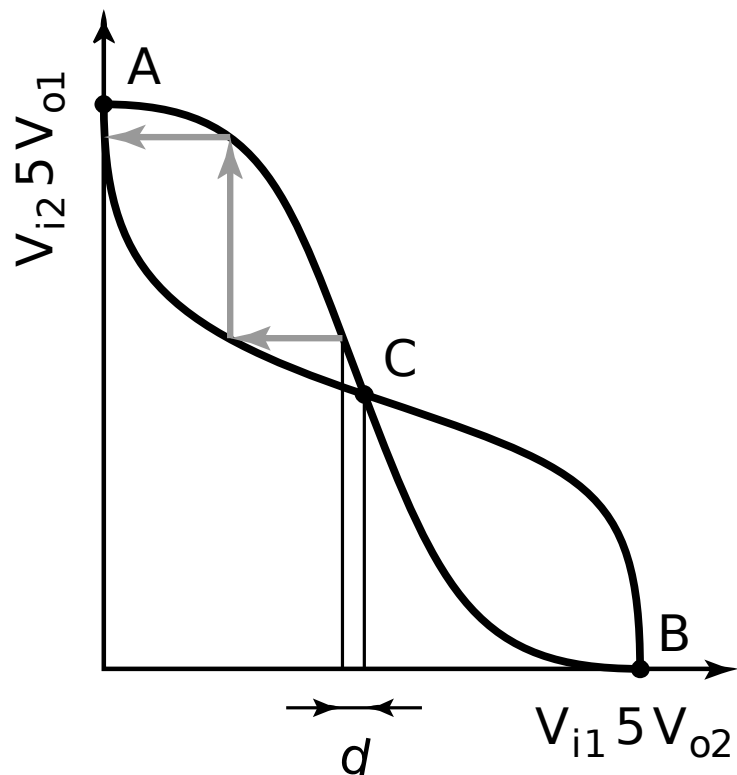
- Pamięć w pojemnościach pasożytniczych
- Krótka pamięć stanu (milisekundy)
- wymaga okresowego odświeżania

# Logika statyczna - dodatnie sprzężenie zwrotne: *bi-stabilność*



$$V_{o2} = V_{i1}$$

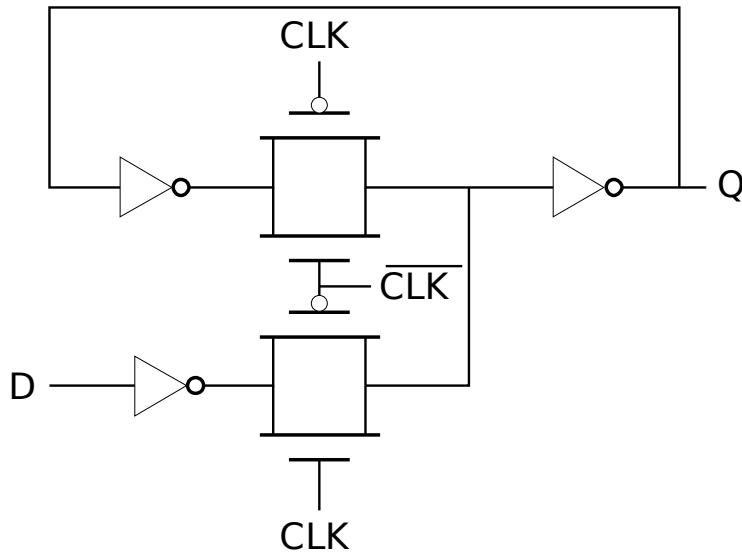
# Meta-stabilność



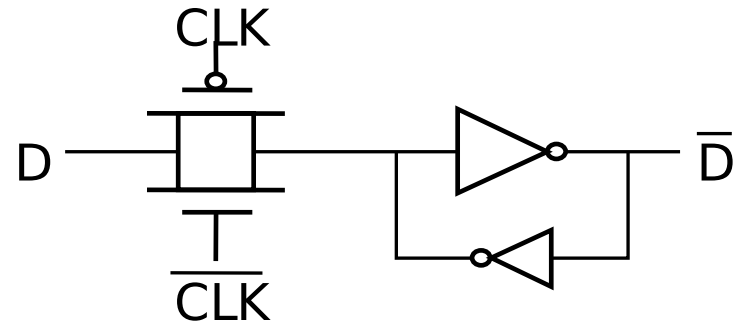
**Wzmocnienie w obszarze przecięcia musi być  $> 1$**

# Zapisywanie Latch-a statycznego

Użycie zegara jako sygnału kontrolnego, ustawiającego stan przezroczysty i nieprzezroczysty



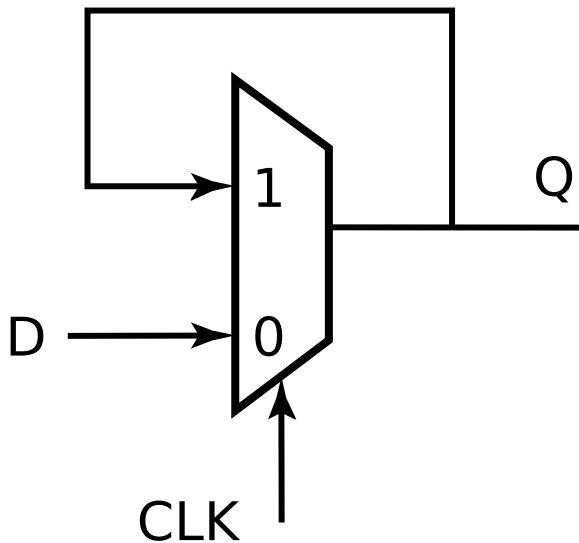
Multipleksowanie wejść (MUX)



Wymuszenie stanu

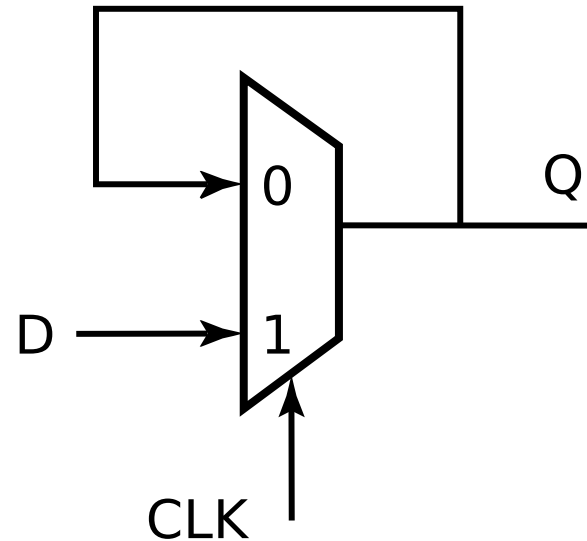
# Latch-e typu MUX

**Negative latch**  
(przezroczysty dla CLK= 0)



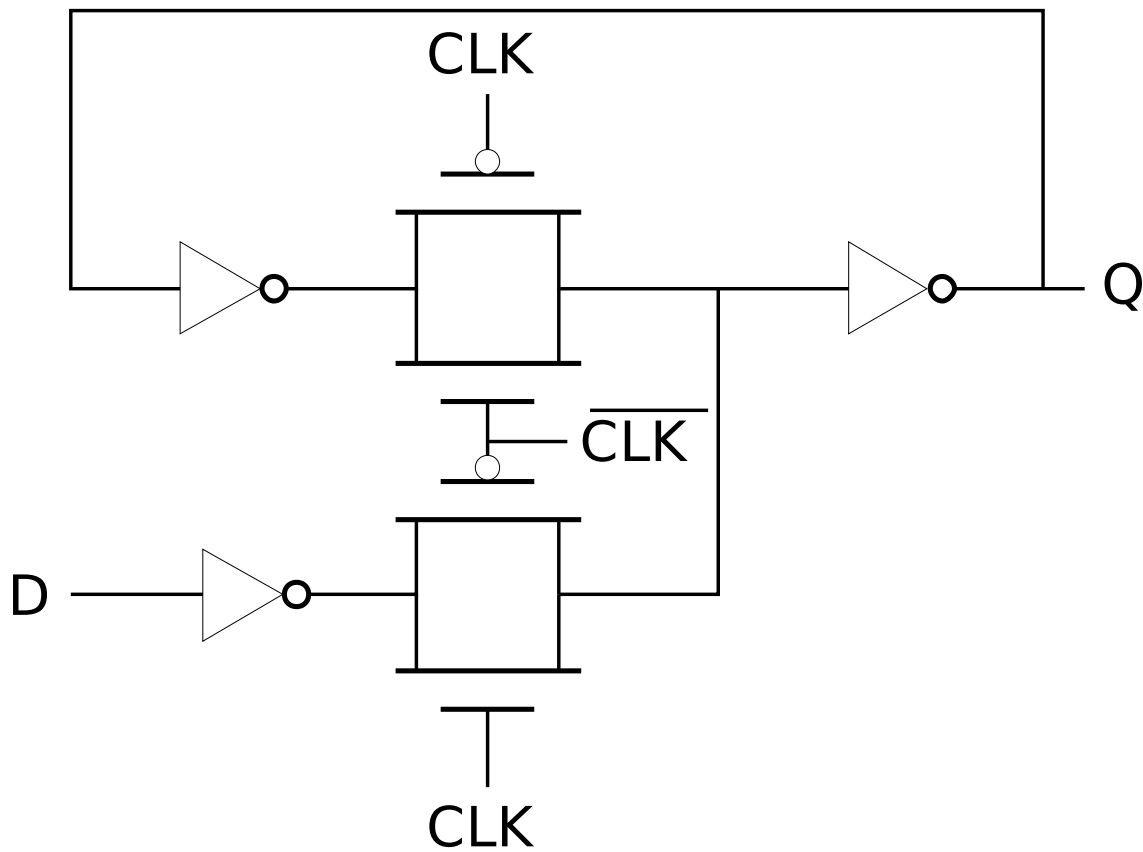
$$Q = Clk \cdot Q + \overline{Clk} \cdot In$$

**Positive latch**  
(przezroczysty dla CLK= 1)

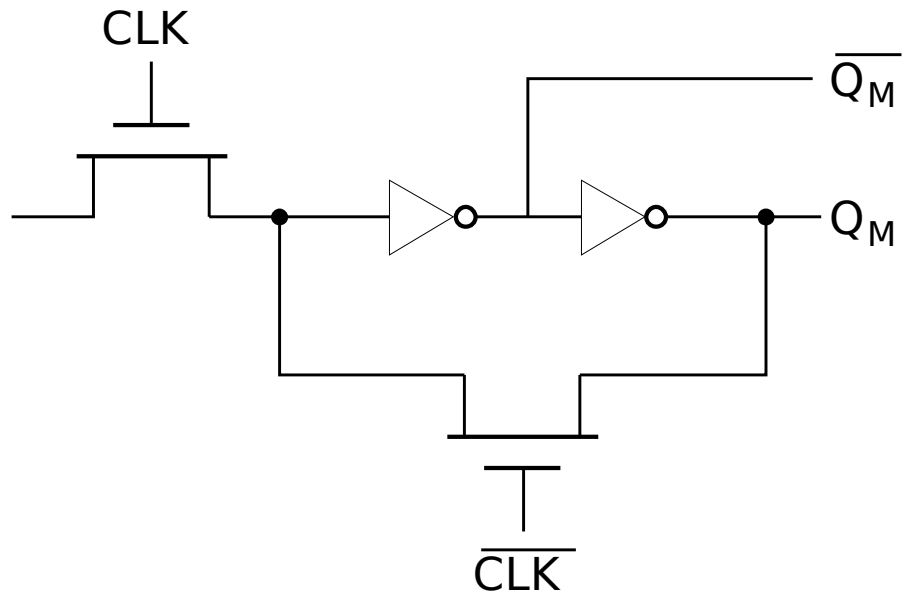


$$Q = \overline{Clk} \cdot Q + Clk \cdot In$$

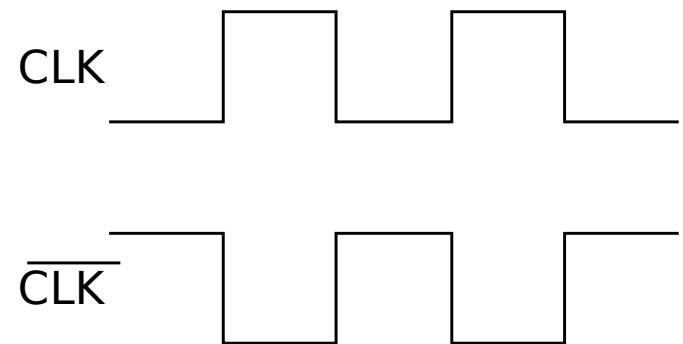
# *Latch typu MUX*



# *Latch typu MUX*

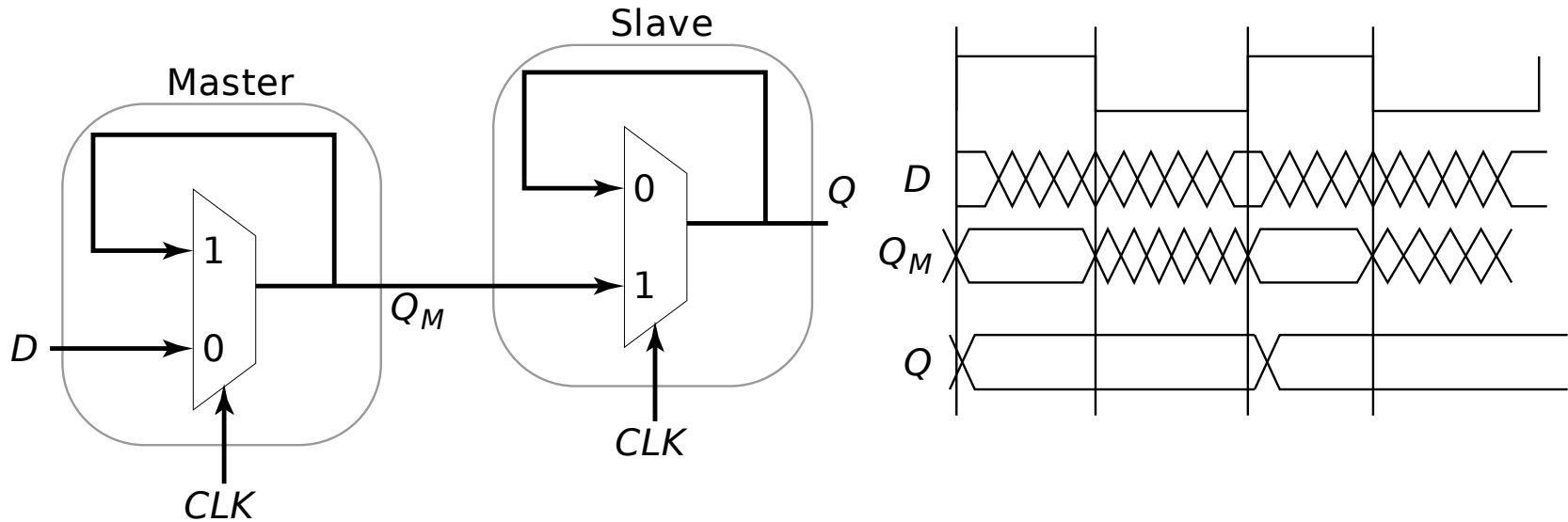


Tylko NMOS



Non-overlapping CLK

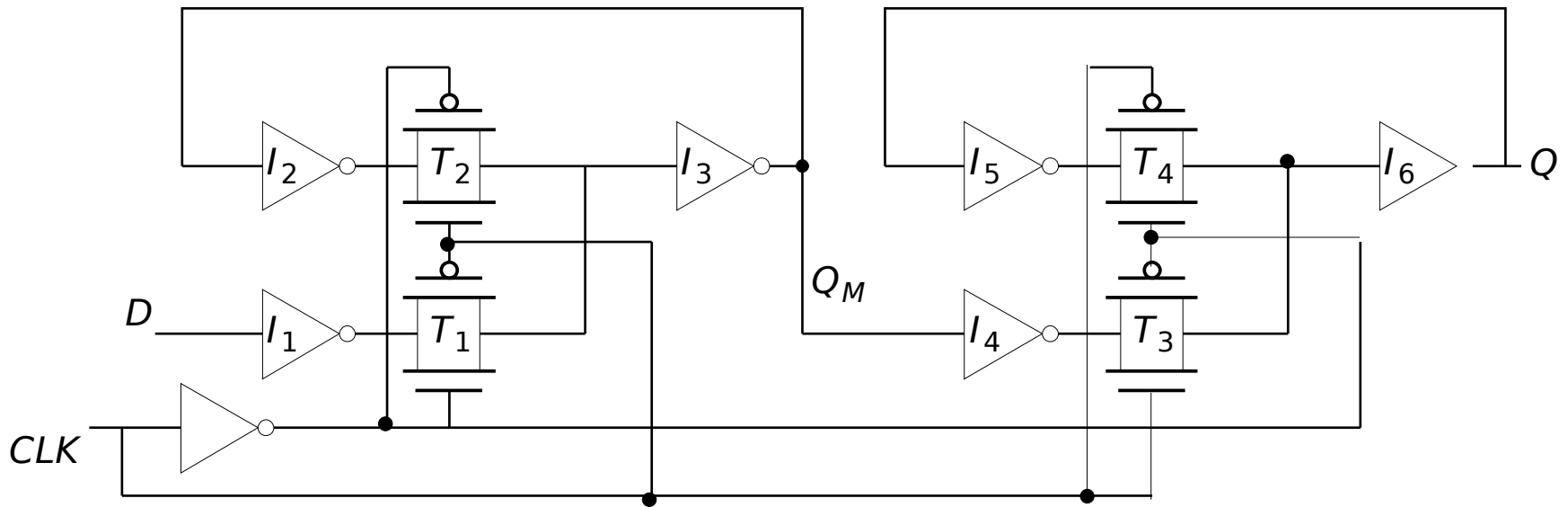
# Przerzutnik typu Master-Slave (aktywny-zboczem)



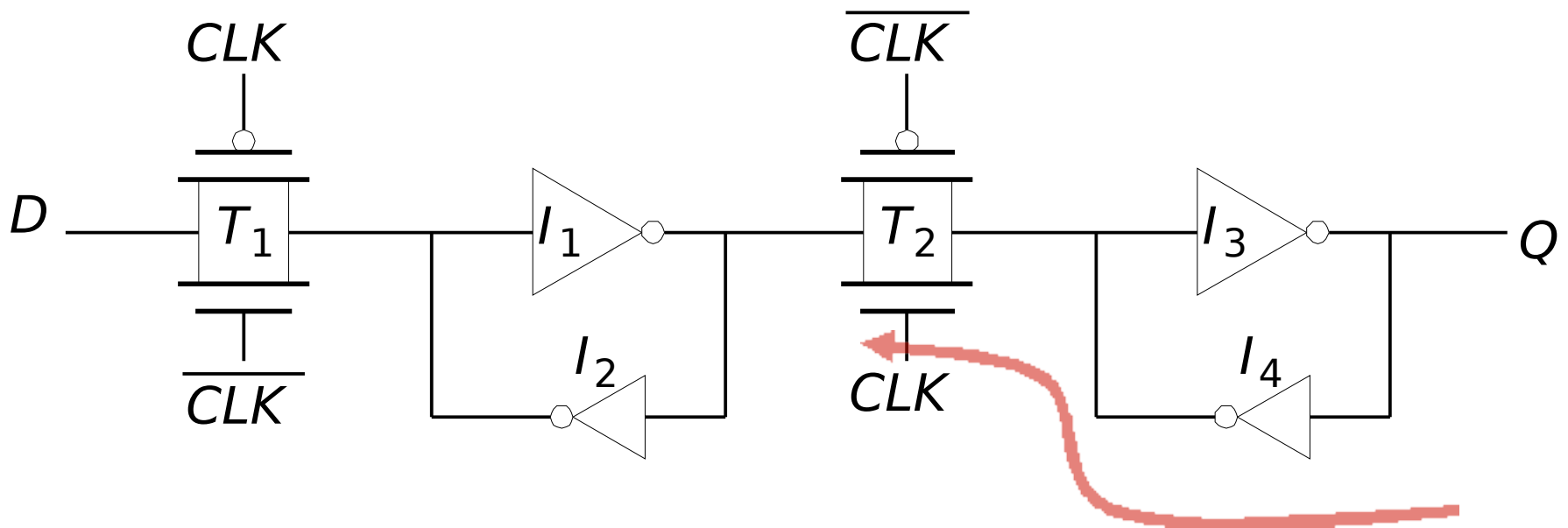
Układ dwóch przeciwnych latch-y jest aktywny zboczem  
Taką parę nazywa się master-slave

# Przerzutnik Master-Slave

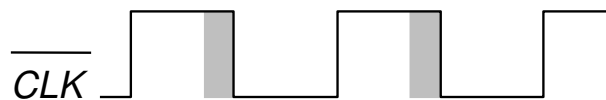
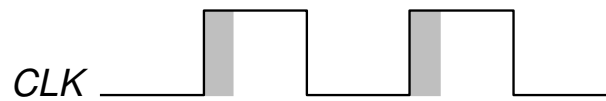
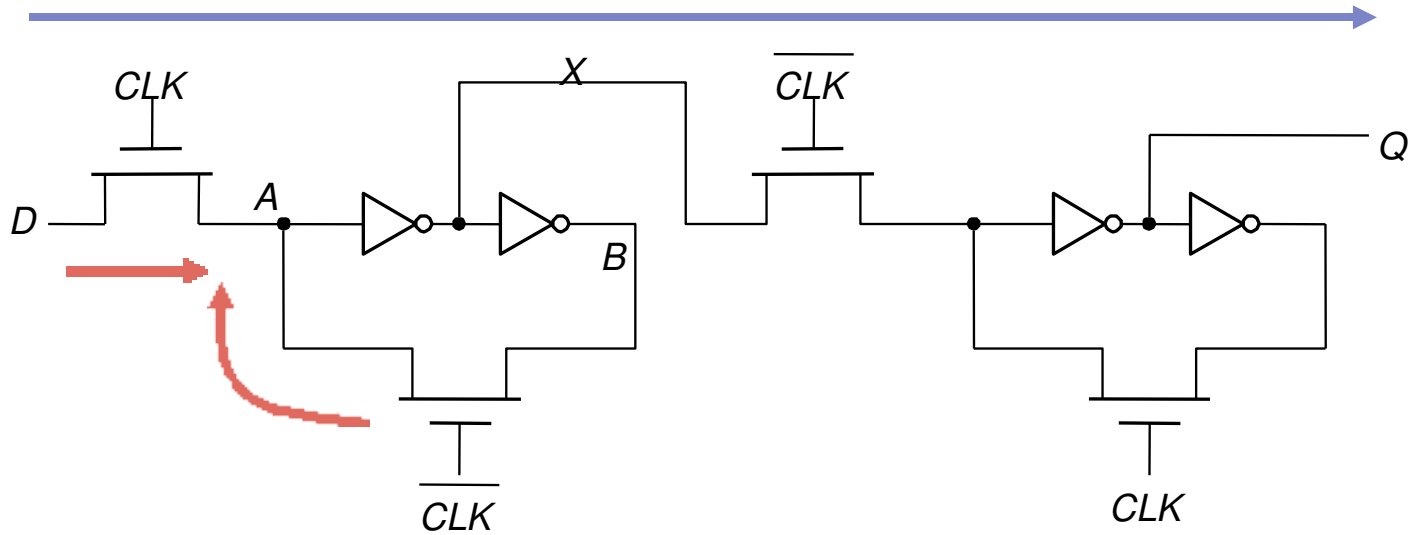
Para latch-y typu MUX



# Przerzutnik Master-Slave ze zredukowanym obciążeniem zegara



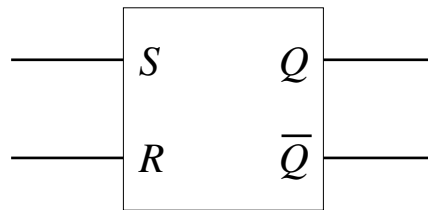
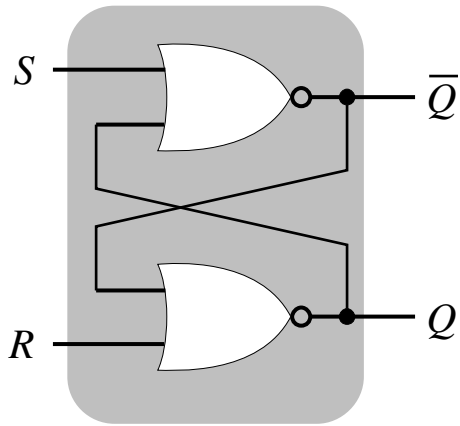
# Problem CLK-Overlap



CLK skew

# Zapisywanie przez wymuszenie (overpowering) Latch SR (asynchroniczny)

Przykład realizacji na NOR

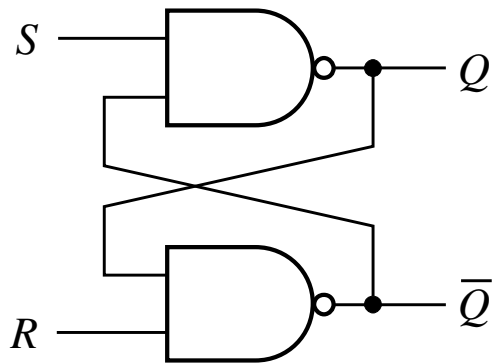


$S$	$R$	$Q$	$\bar{Q}$
0	0	$Q$	$\bar{Q}$
1	0	1	0
0	1	0	1
1	1	0	0

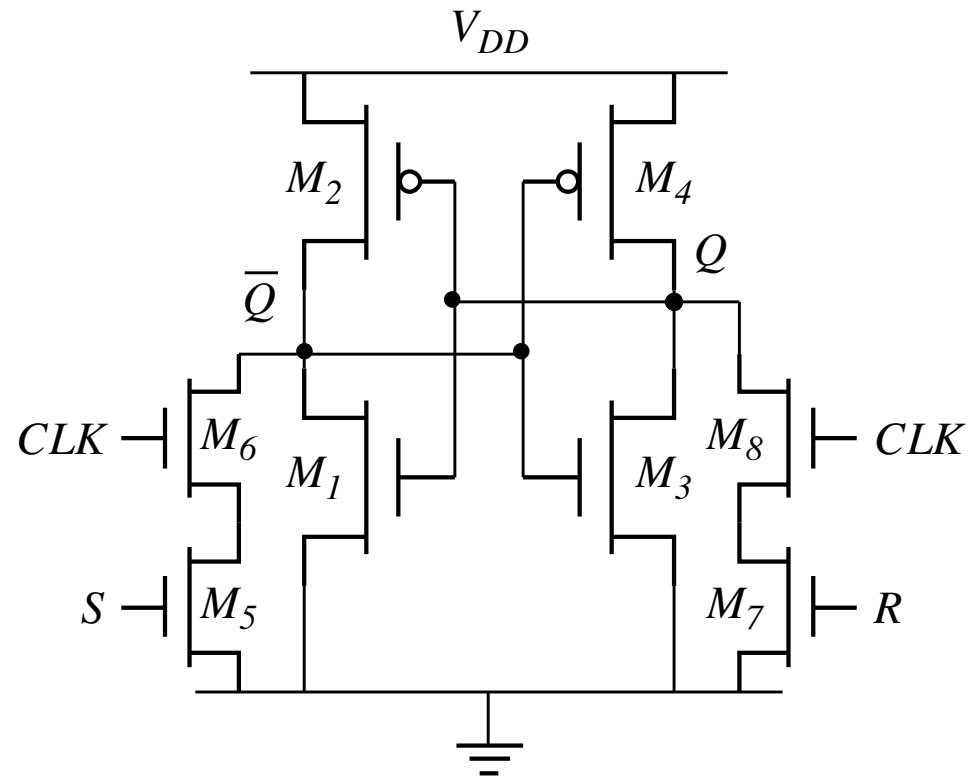
Forbidden State

# Latch SR...

Realizacja NAND

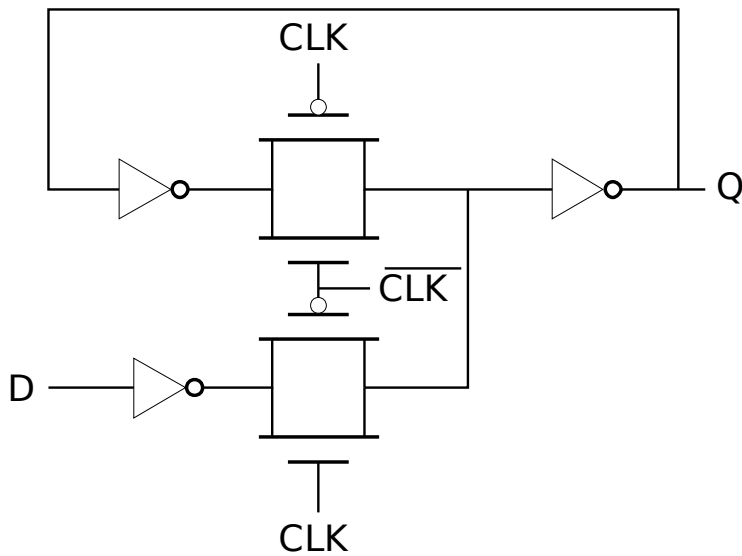


Wersja synchroniczna

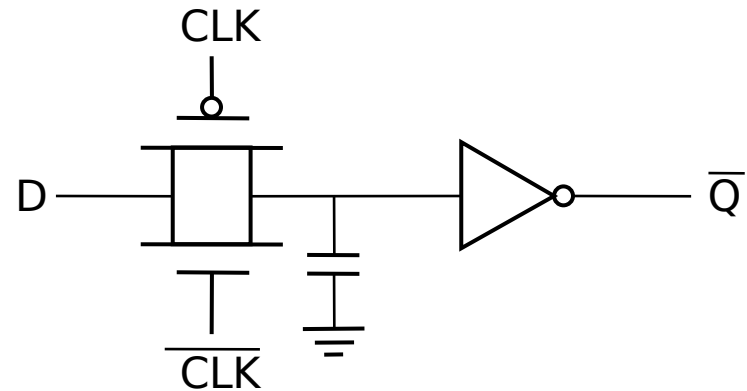


# ***Mechanizmy pamiętania***

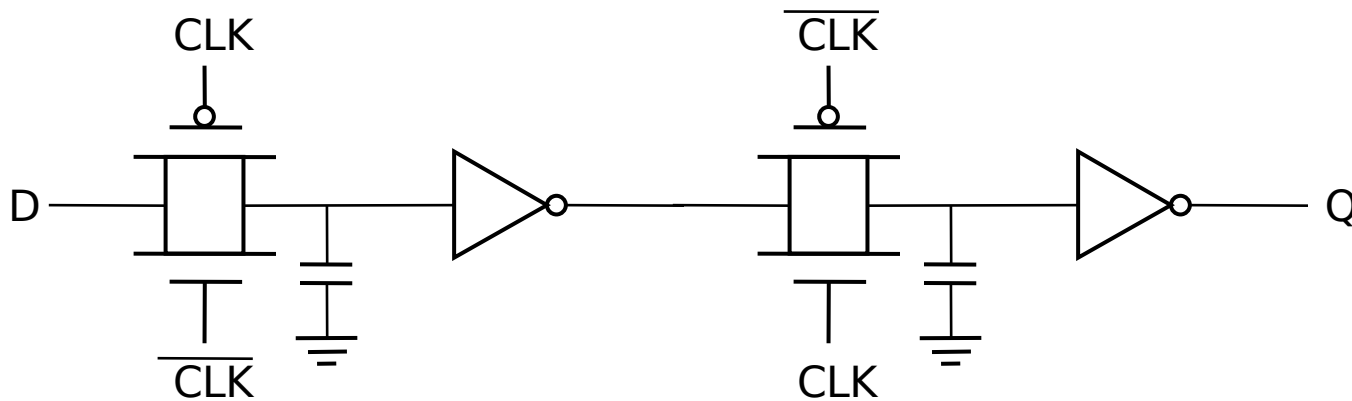
Stacyjny  
(dodatnie sprzężenie zwrotne)



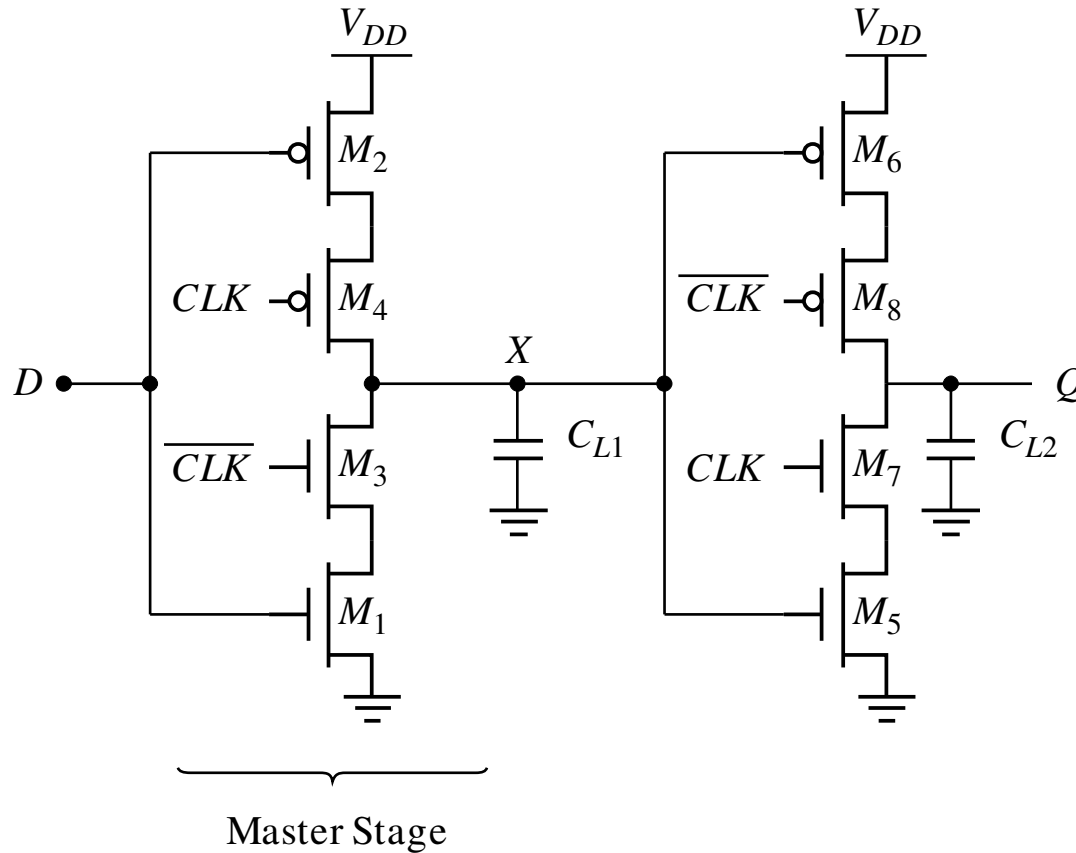
Dynamiczny  
(gromadzenie ładunku)



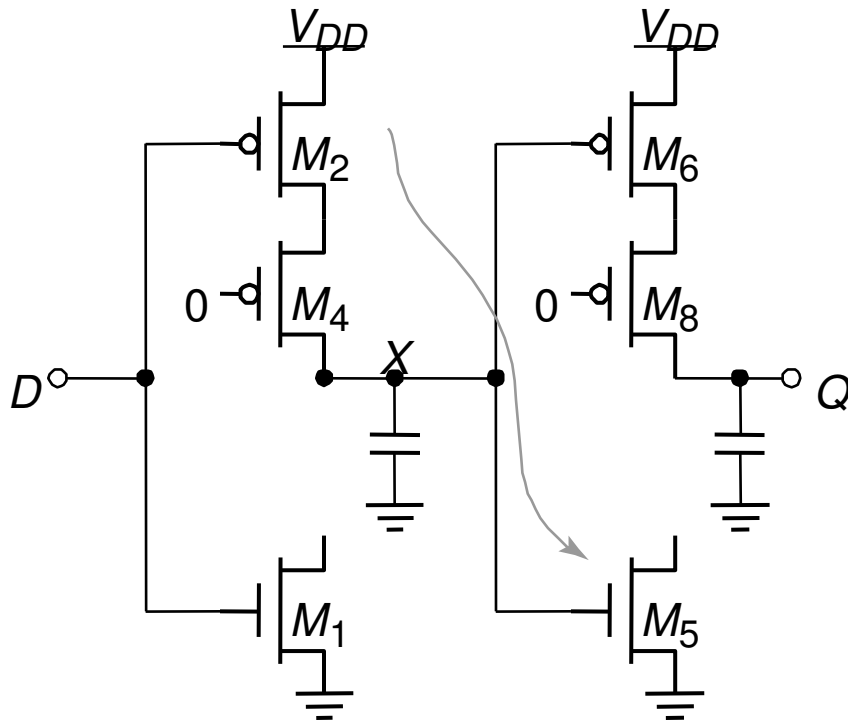
# *Przerzutnik dynamiczny typu master-slave*



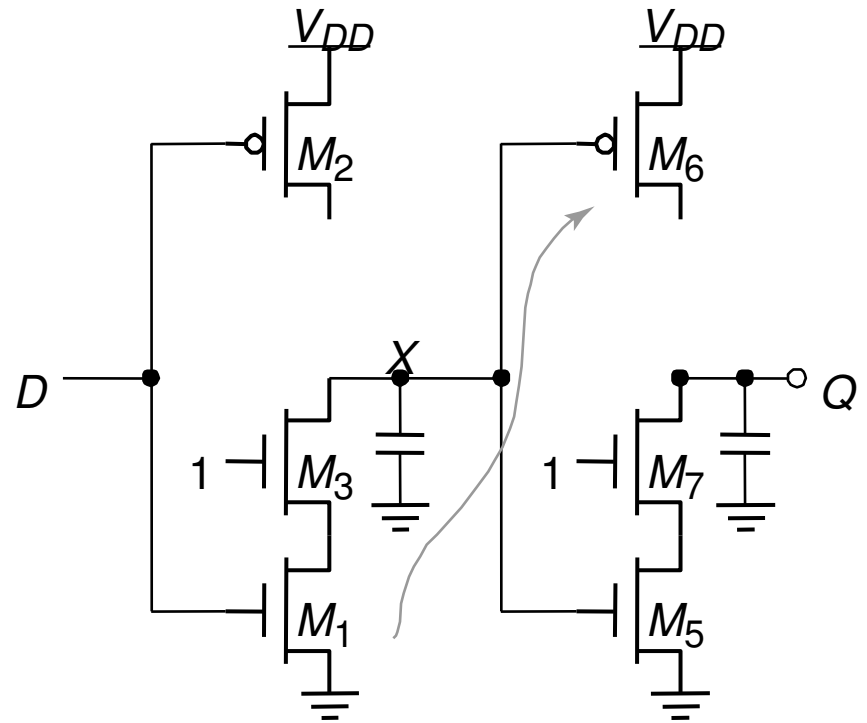
# Przerzutnik C<sup>2</sup>MOS



# Nieczuły na clock skew

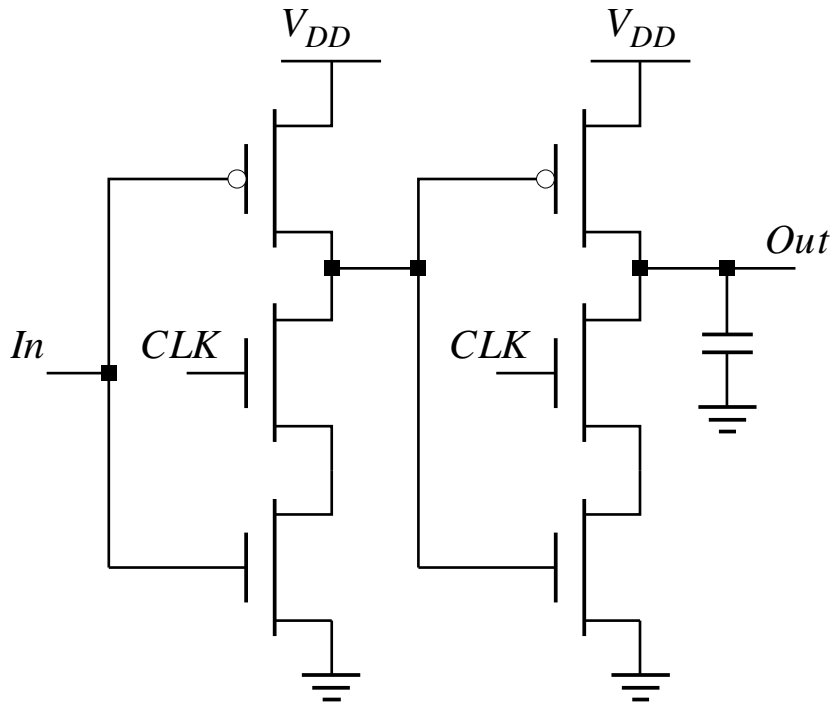


(a) (0-0) overlap

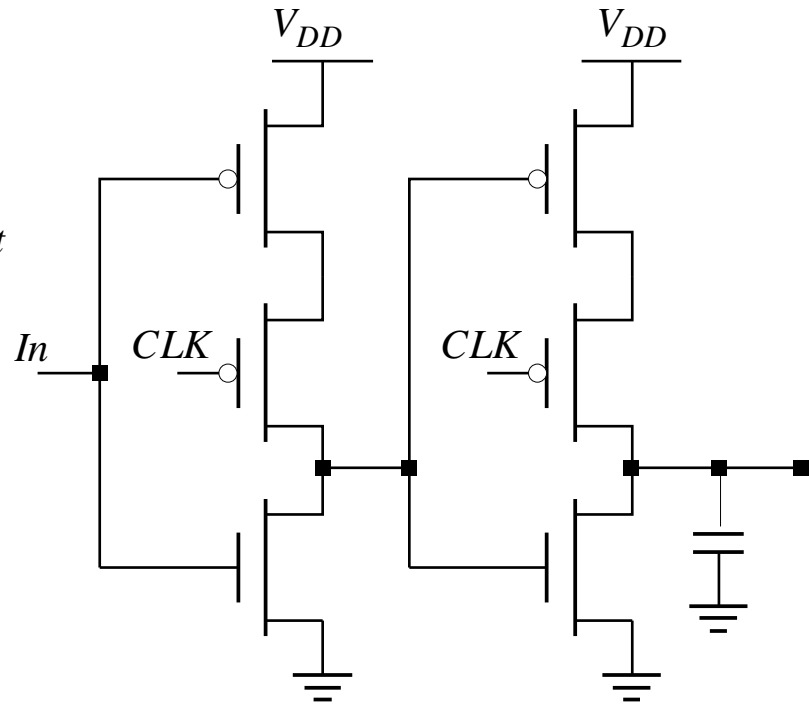


(b) (1-1) overlap

# *TSPC (true single-phase clock)*

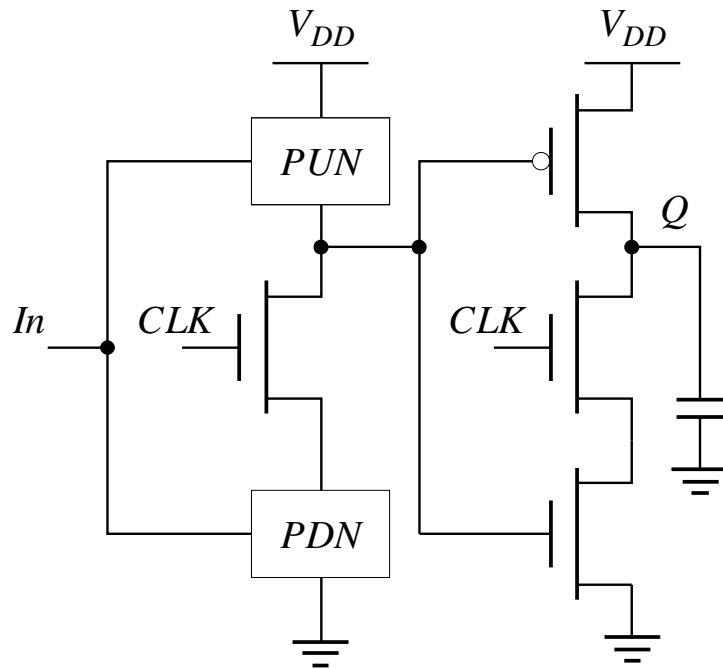


Positive latch

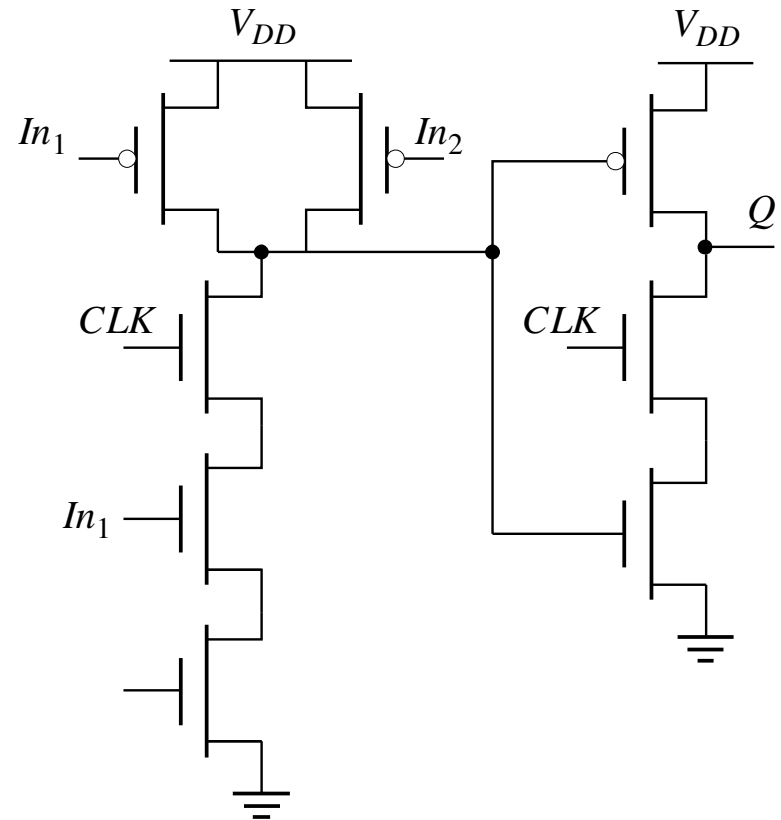


Negative latch

# ***Dodawanie logiki do TSPC***

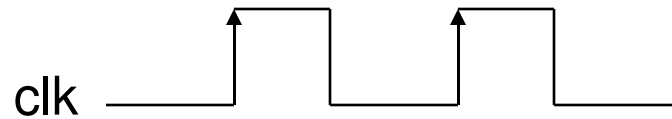
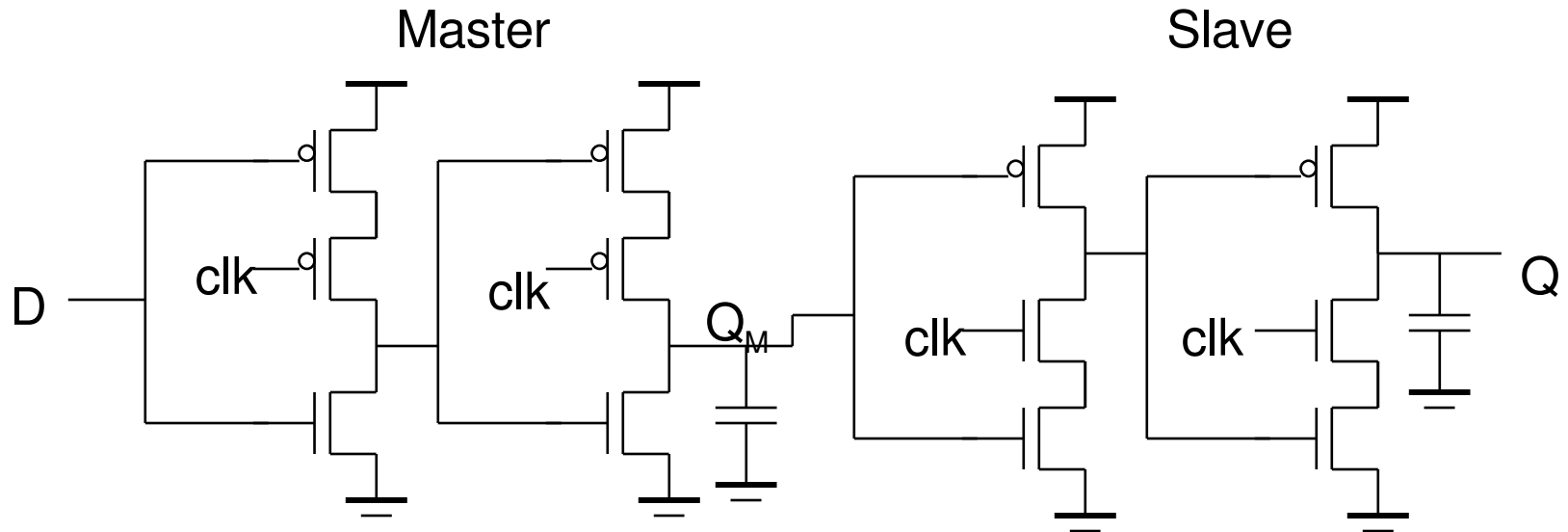


Logika wewnątrz latch-a

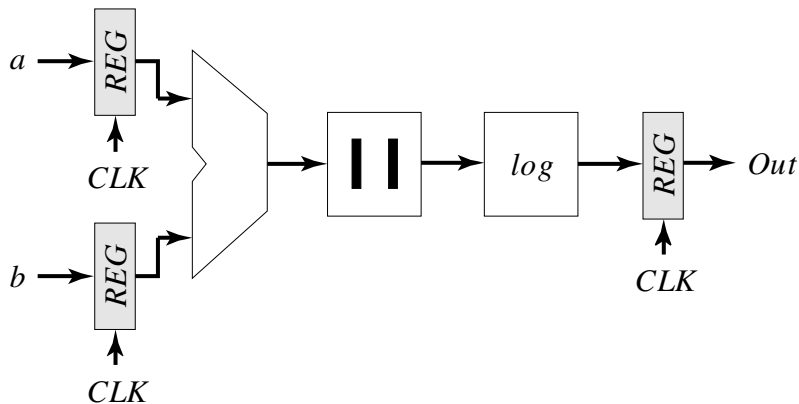


Przykład: latch AND

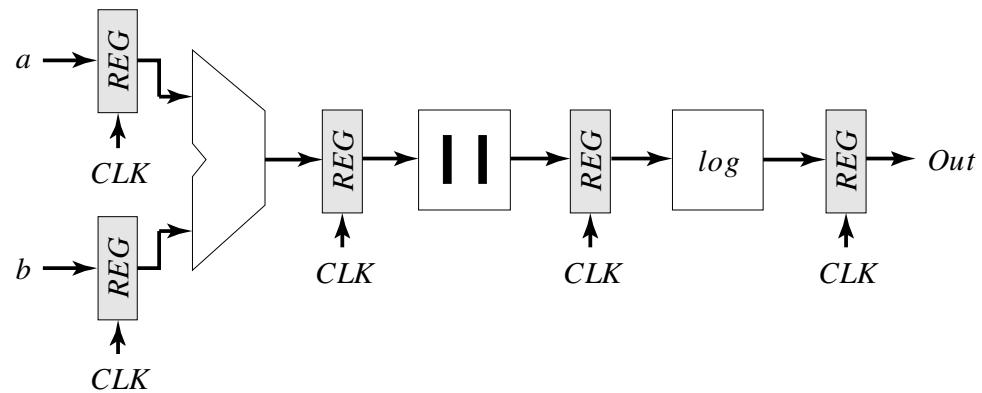
# Przerzutnik TSPC



# Pipelining



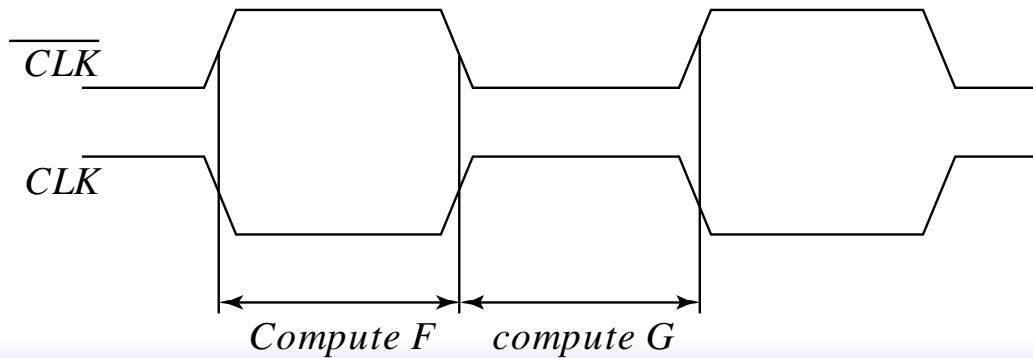
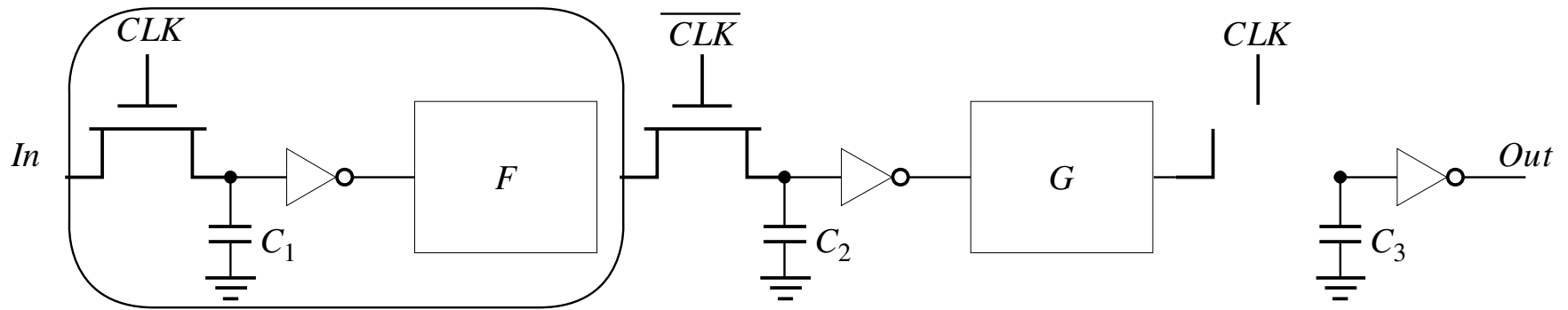
Układ Referencyjny



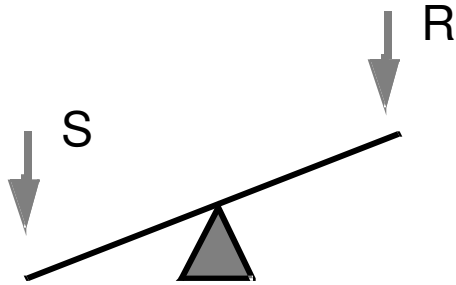
Układ z Pipeline

Clock Period	Adder	Absolute Value	Logarithm
1	$a_1 + b_1$		
2	$a_2 + b_2$	$ a_1 + b_1 $	
3	$a_3 + b_3$	$ a_2 + b_2 $	$\log(a_1 + b_1)$
4	$a_4 + b_4$	$ a_3 + b_3 $	$\log( a_2 + b_2 )$
5	$a_5 + b_5$	$ a_4 + b_4 $	$\log( a_3 + b_3 )$

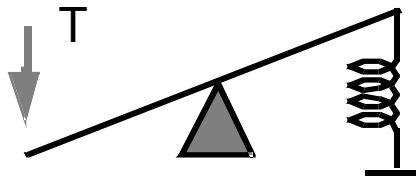
# Pipeline oparty na latch-ach



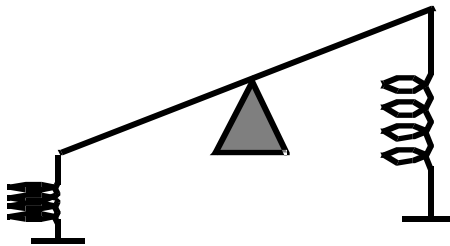
# *Inne układy sekwencyjne*



**Bistable Multivibrator**  
flip-flop, Schmitt Trigger

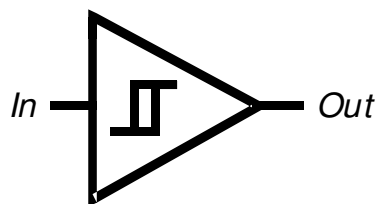


**Monostable Multivibrator**  
one-shot

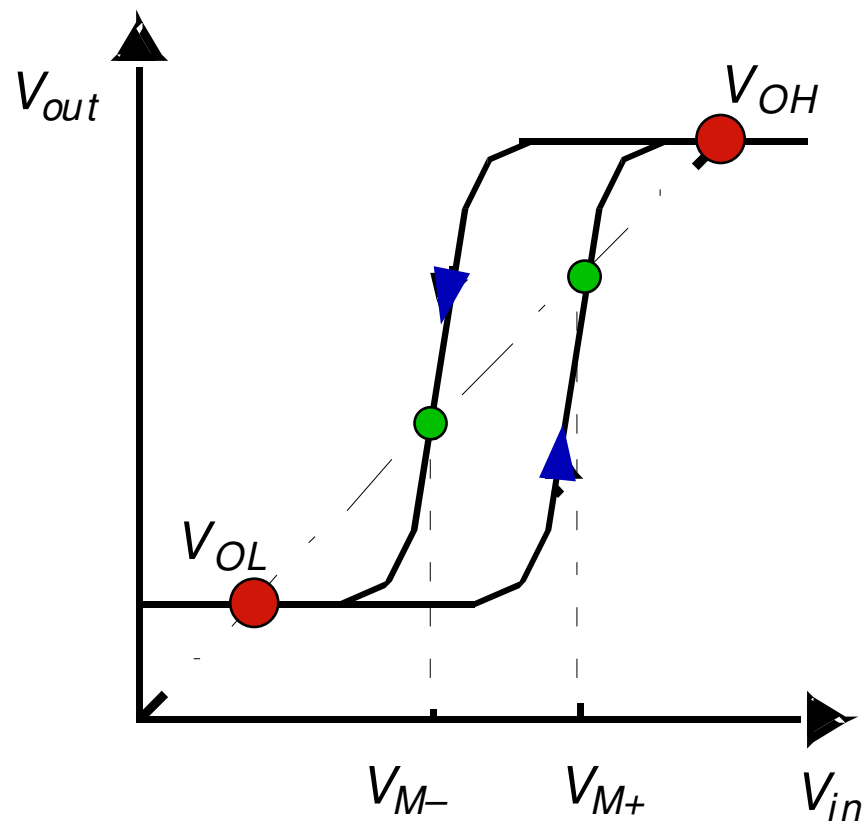


**Astable Multivibrator**  
oscillator

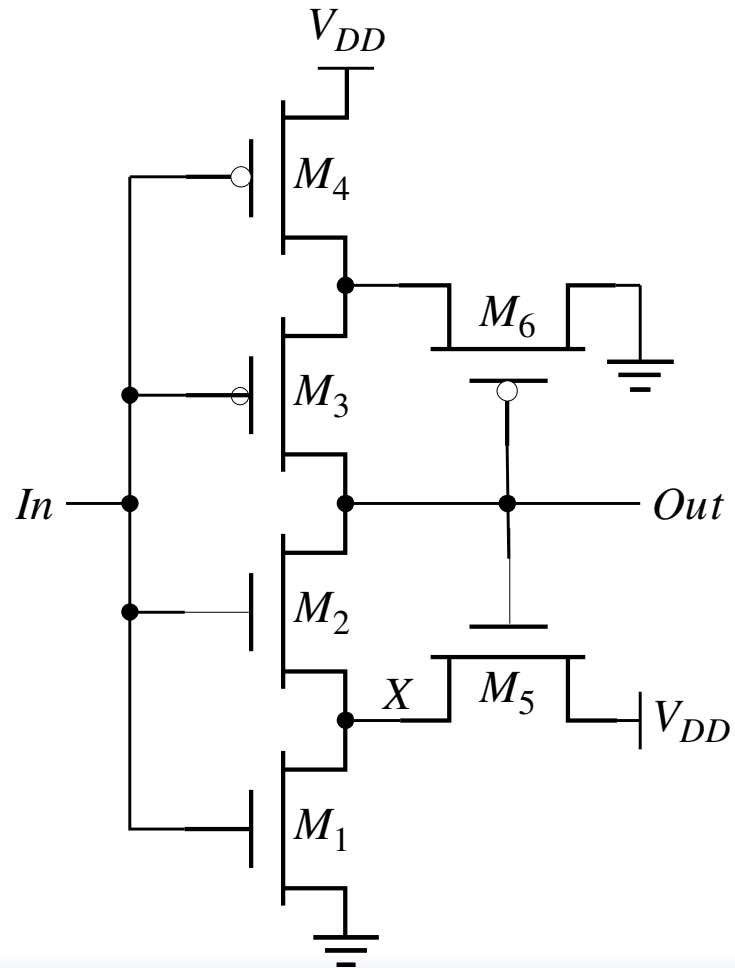
# Przerzutnik Schmitt-a



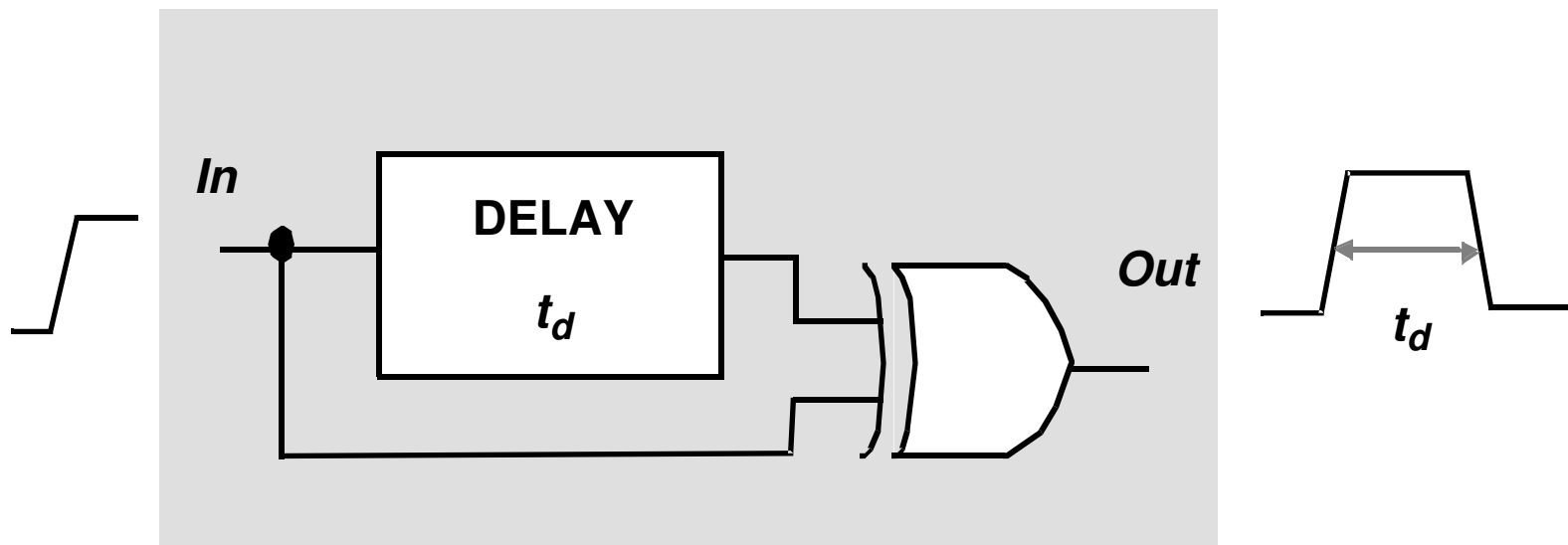
**histereza**



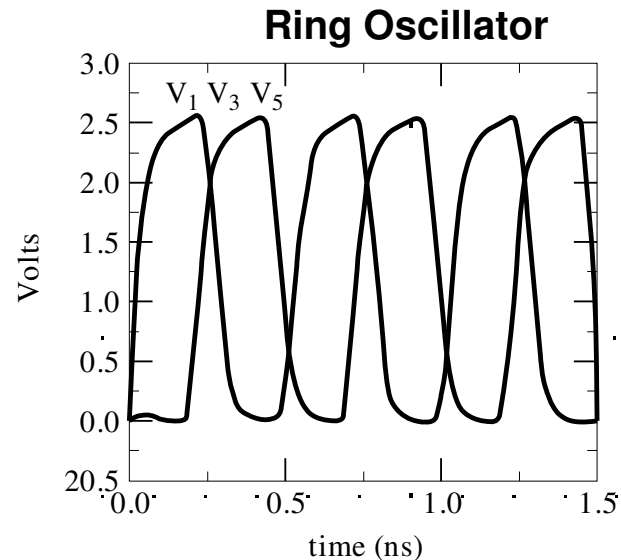
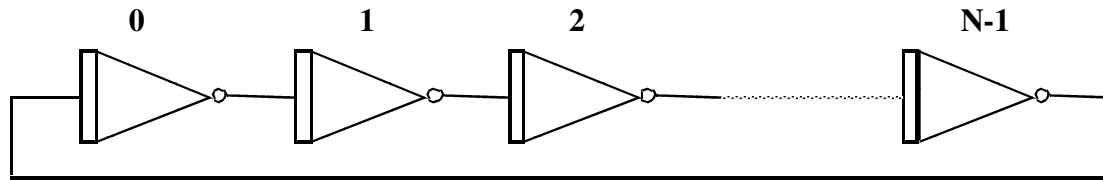
# Przerzutnik Schmitt-a



# ***Układ monostabilny wyzwalany zboczem***

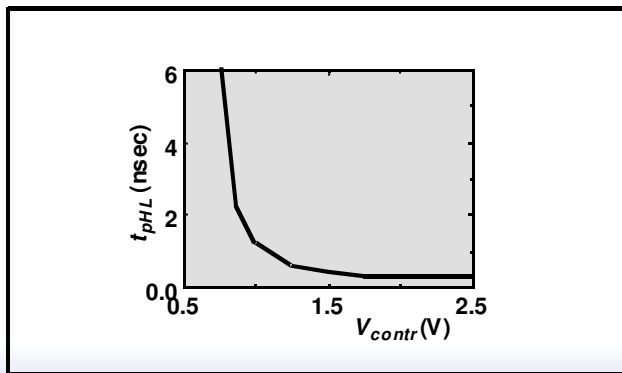
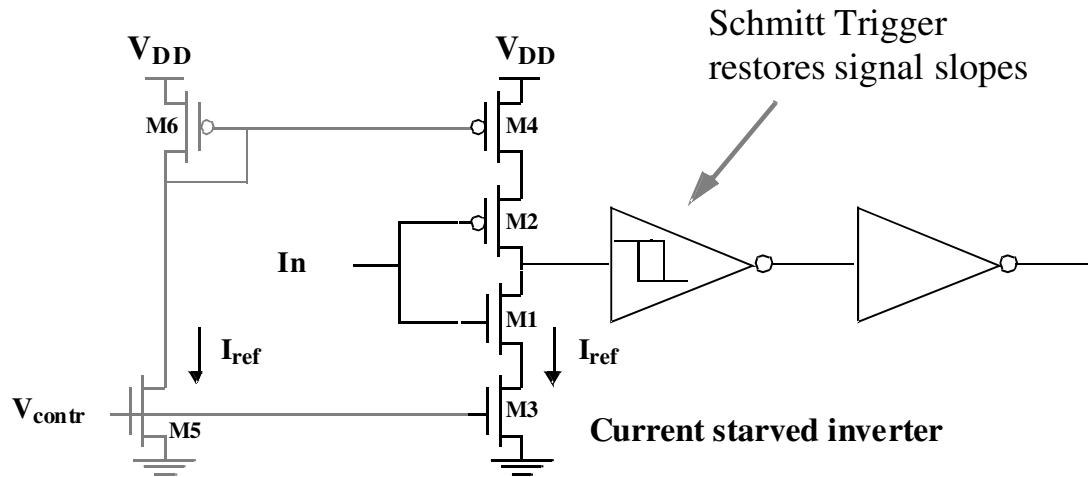


# ***Układ astabilny Multiwibrator (Oscylator)***



symulowana odpowiedź oscylatora 5-stopniowego

# VCO (Voltage Controller Oscillator)

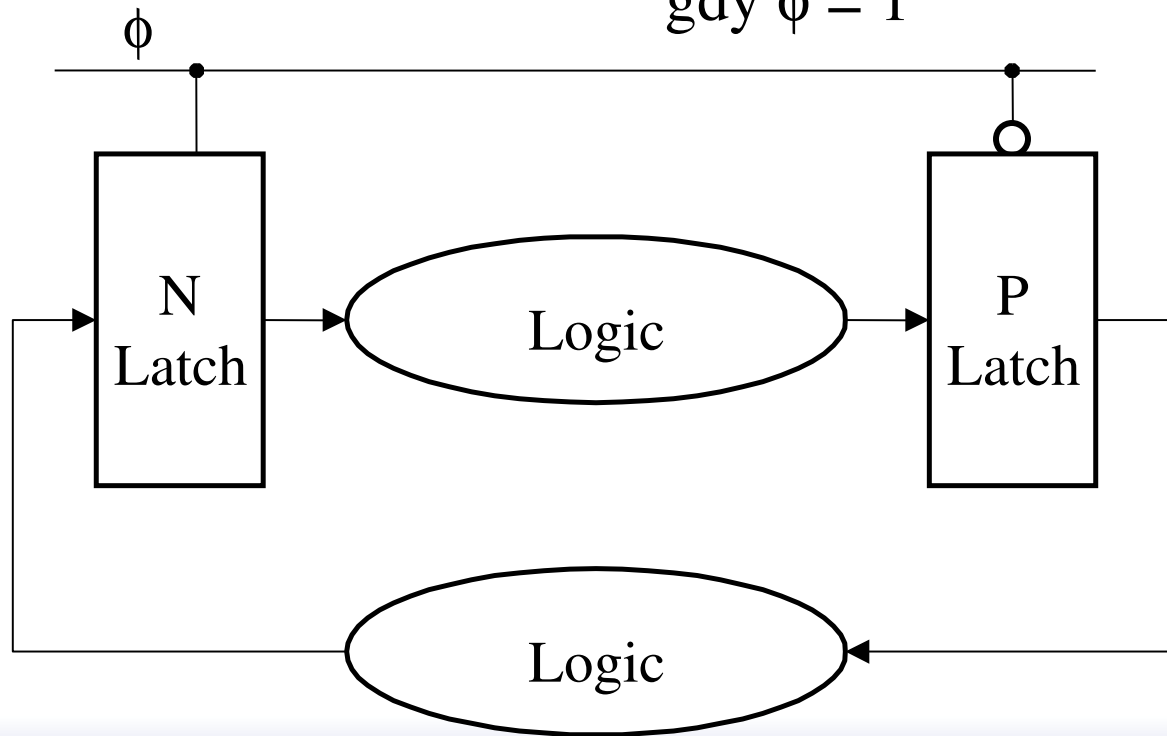


propagation delay as a function of control voltage

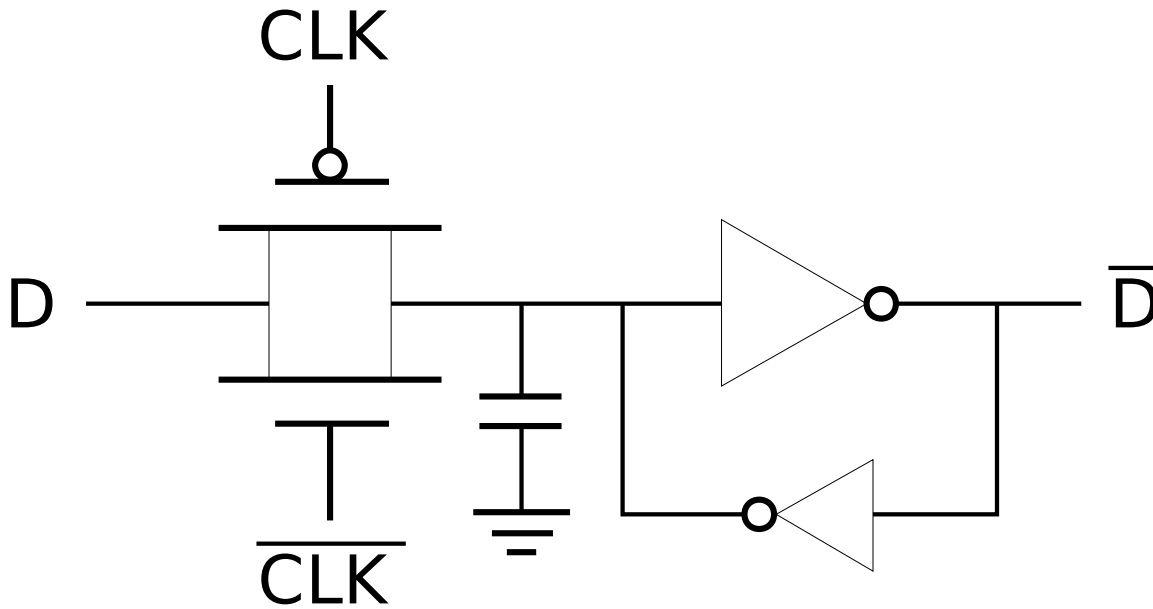
# Latch-Based Design

- N latch jest przezroczysty  
gdy  $\phi = 0$

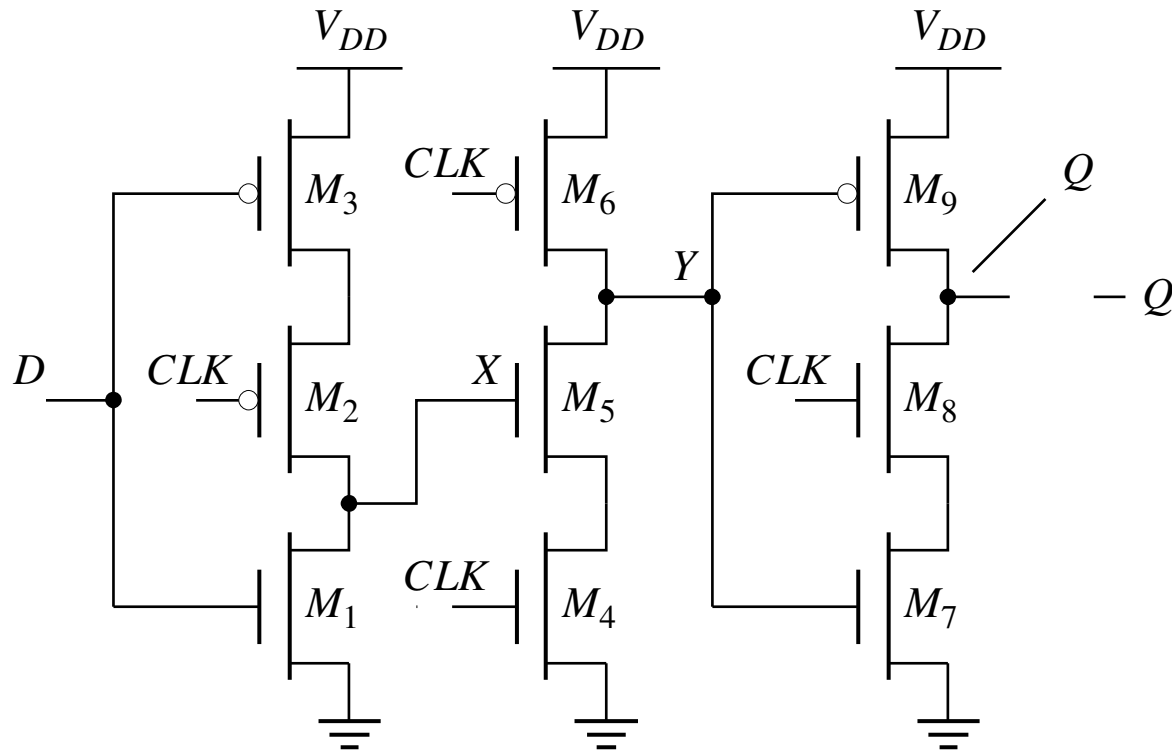
- P latch jest przezroczysty  
gdy  $\phi = 1$



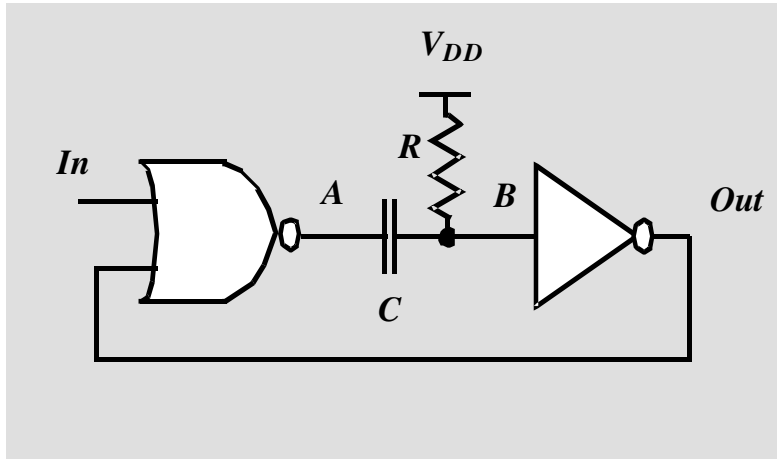
# ***Making a Dynamic Latch Pseudo-Static***



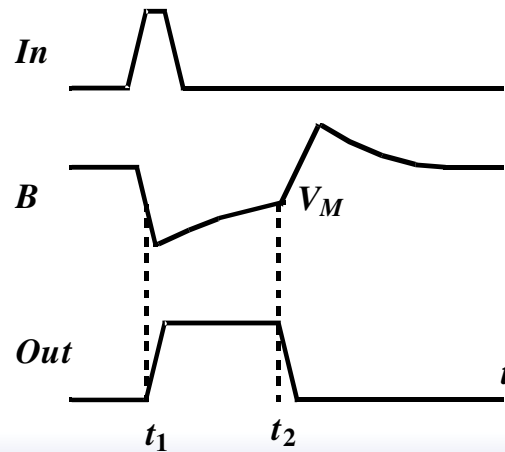
# TSPC Register



# Monostable Trigger (RC-based)

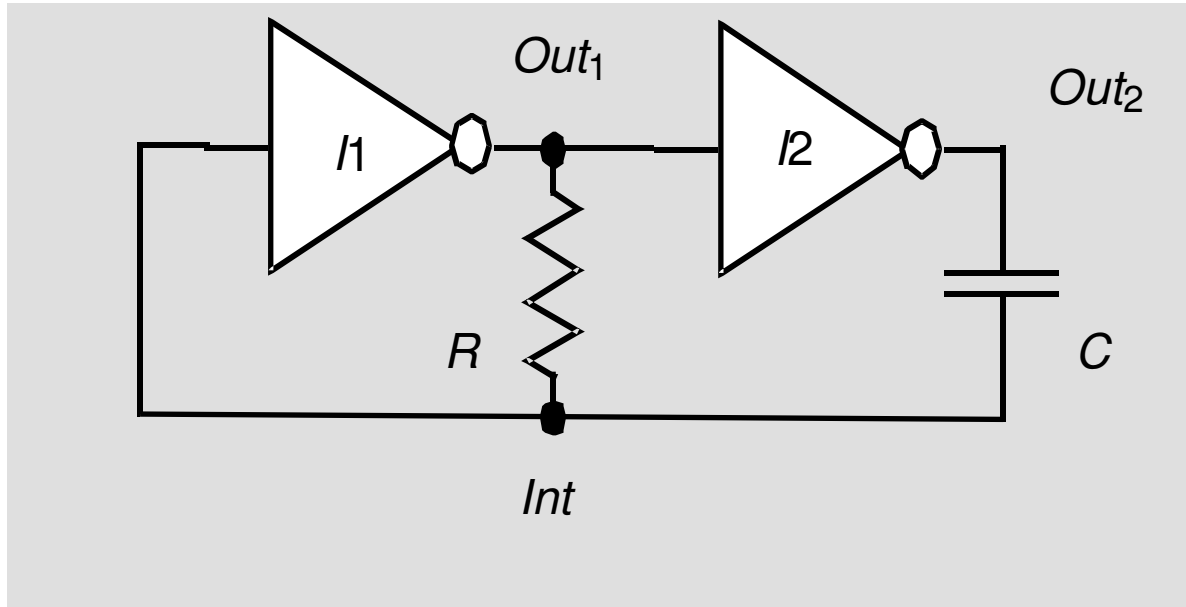


(a) Trigger circuit.



(b) Waveforms.

# *Relaxation Oscillator*



$$T = 2 (\log 3) RC$$